

#2
C. Barnes

Docket No.: 49657-962

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Yoshio FUDEYASU

Serial No.:

Group Art Unit:

Filed: January 26, 2001

Examiner:

For: SEMICONDUCTOR MEMORY DEVICE AND MEMORY SYSTEM USING THE
SAME



**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

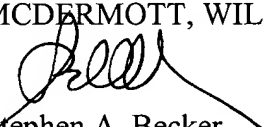
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2000-249229, filed August 21, 2000

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:prp
Date: January 26, 2001
Facsimile: (202) 756-8087

BEST AVAILABLE COPY

49657-962
JAN. 26, 2001
FVDEYASU

McDermott, Will & Emery

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 8月21日

出 願 番 号
Application Number:

特願2000-249229

出 願 人
Applicant(s):

三菱電機株式会社

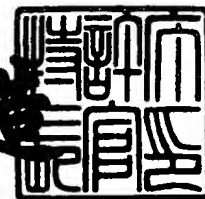
11000 U.S. PTO
09/769417
01/26/01

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 9月 8日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3072862

【書類名】 特許願

【整理番号】 524955JP01

【提出日】 平成12年 8月21日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/34

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 筆保 吉雄

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置およびメモリシステム

【特許請求の範囲】

【請求項 1】 書込データ、制御信号およびアドレス信号を受ける複数の入力端子、および

読出データを出力するための少なくとも 1 つの出力端子を備え、前記書込データおよび前記読出データのビット数は互いに異なる、半導体記憶装置。

【請求項 2】 前記入力端子として機能する端子の数と前記出力端子として機能する端子の数を変更するためのデータ制御回路をさらに含む、請求項 1 記載の半導体記憶装置。

【請求項 3】 前記入力端子は第 1 のバスに結合され、かつ前記出力端子は第 2 のバスに結合され、前記第 1 および第 2 のバスは、それぞれ、一方方向に沿って信号またはデータを転送する単方向バスである、請求項 1 記載の半導体記憶装置。

【請求項 4】 内部データバスと前記入力端子との間に結合され、前記入力端子に与えられた書込データを前記内部データバスのビット幅に等しいビット数の内部書込データに変換して出力する書込変換回路と、

前記内部データバスと前記出力端子との間に結合され、前記内部データバスに読出された内部読出データを前記出力端子のビット数に等しいビット幅のデータに変換して前記出力端子へ転送する読出変換回路をさらに備える、請求項 1 記載の半導体記憶装置。

【請求項 5】 前記書込変換回路は、前記入力端子に与えられた書込データを順次受けてこれらの受けた書込データを並列に前記内部データバスに転送する直／並変換回路を備え、

前記読出変換回路は、前記内部データバスに並列に読出された複数ビットのデータを受け、前記複数ビットを直列データに変換して順次前記出力端子に転送する並／直変換回路を備える、請求項 4 記載の半導体記憶装置。

【請求項 6】 前記直／並変換回路の入力データビット幅および前記並／直変換回路の出力データビット幅を変更するためのデータビット制御回路をさらに

備える、請求項 5 記載の半導体記憶装置。

【請求項 7】 前記書込変換回路の入力データビット数および前記読出変換回路の出力データビット数を変更するためのデータビット制御回路をさらに備える、請求項 4 記載の半導体記憶装置。

【請求項 8】 前記書込変換回路および前記読出変換回路を並列に動作させるための制御回路をさらに備える、請求項 4 記載の半導体記憶装置。

【請求項 9】 情報を記憶するためのメモリ、
前記メモリへのアクセスを制御するためのメモリコントローラ、
前記メモリコントローラからの書込データおよび制御信号およびアドレス信号を前記メモリに転送するための第 1 の単方向バス、および
前記メモリから読出された前記書込データビットとビット数の異なる読出データを前記メモリコントローラへ転送するための第 2 の単方向バスを備える、メモリシステム。

【請求項 10】 前記メモリは、
前記書込データを受けて内部書込データを生成する書込回路と、
内部で読出された内部読出データから前記読出データを生成する読出回路と、
前記書込回路の入力データビット数および前記読出回路の出力データビット数を変更するためのデータビット変更回路を備える、請求項 9 記載のメモリシステム。

【請求項 11】 前記メモリコントローラは、前記書込データおよび前記読出データのビット数を変更するための回路を含む、請求項 9 記載のメモリシステム。

【請求項 12】 前記メモリは、前記書込データおよび前記読出データを同時に入出力するための回路を含む、請求項 9 記載のメモリシステム。

【請求項 13】 前記メモリコントローラは、前記書込データおよび前記読出データを同時に転送するための回路を備える、請求項 9 記載のメモリシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置およびこれを用いたメモリシステムに関し、特に、データの転送のための構成に関する。

【0002】

【従来の技術】

図21は、従来のメモリシステムの構成を概略的に示す図である。図21において、メモリシステムは、メモリIC910と、このメモリIC910に対するCPU（中央演算処理装置）などのプロセサからのアクセス要求に応じてメモリIC910へのアクセスを制御するメモリコントローラ900とを含む。メモリコントローラ900とメモリIC910の間には、動作制御バス912およびデータバス914が設けられる。動作制御バス912は、メモリコントローラ900からの制御信号CTLおよびアドレス信号ADDをメモリIC910へ転送する。データバス914は、メモリIC910に対する書込データおよびメモリIC910から読出されたデータをメモリコントローラ900とメモリICとの間で転送する。

【0003】

動作制御バス912を介してメモリコントローラ900が、データアクセスに必要な制御信号CTLおよびアドレス信号ADDをメモリIC910へ転送する。データ書込時においては、メモリコントローラ900は、また、データバス912を介してメモリIC910へ書込データを転送する。データ読出時においては、メモリIC910は、動作制御バス912を介して与えられる制御信号CTLおよびアドレス信号ADDに従ってメモリセルの選択およびデータの読出動作を行ない、読出データをデータバス912を介してメモリコントローラ900へ転送する。したがって、データバス914上では、メモリコントローラ900からのメモリIC910への書込データの転送と、メモリIC910からメモリコントローラ900への読出データの転送という双方向のデータ転送が行なわれる。一方、動作制御バス912は、メモリコントローラ900からメモリIC910へ制御信号およびアドレス信号を転送するだけであり、単方向バスである。

【0004】

【発明が解決しようとする課題】

図 2 2 は、この図 2 1 に示すメモリ IC 9 1 0 へのアクセスシーケンスを示すタイミングチャート図である。メモリ IC 9 1 0 は、クロック信号 CLK に同期してデータの入出力（転送）および制御／アドレス信号の取り込みを行なう。

【0 0 0 5】

今、クロックサイクル # A において、データの書込を指示するライトコマンド CW が、メモリコントローラ 9 0 0 からメモリ IC 9 1 0 へ与えられた場合を考える。ここで、ライトコマンド CW は、図 2 1 に示す制御信号 CTL およびアドレス信号 ADD 両者を含むとする。データの書込時においては、ライトコマンド CW と同時に、書込データ D 0 がデータバス 9 1 4 を介してメモリコントローラ 9 0 0 からメモリ IC 9 1 0 へ転送される。バースト長が 4 の場合、書込データ D 0 - D 3 が、クロックサイクル # A から各サイクルにおいてクロック信号 CLK に同期して順次メモリ IC 9 1 0 へデータバス 9 1 4 を介して転送されてメモリ IC 9 1 0 に書込まれる。

【0 0 0 6】

次いで、クロックサイクル # B においてデータの読出を指示するリードコマンド CR が、メモリコントローラ 9 0 0 からメモリ IC 9 1 0 へ与えられる。このリードコマンド CR も、制御信号 CTL およびアドレス信号 ADD 両者を含むとする。データの読出時においては、メモリ IC 9 1 0 は、リードコマンド CR が与えられてから内部でメモリセルの選択およびデータの内部読出を行なう必要があり、コラムレイテンシと呼ばれる期間の経過後に、メモリ IC 9 1 0 からデータ Q 0 - Q 3 がクロック信号 CLK に同期して順次読出されてメモリコントローラ 9 0 0 へ転送される。このデータ読出時においても、バースト長が 4 の場合を一例として示す。

【0 0 0 7】

このデータバス 9 1 4 が双方向データバスであり、ある時点では、このデータバスには書込データ D または読出データ Q を転送することができるだけである。双方向データバス 9 1 4 における書込データと読出データの競合（衝突）を防止するために、データバスには空き時間が設けられる。特に、双方向データバス 9

14に、複数のメモリIC910が並列に接続される場合、メモリコントローラ900とメモリIC910との距離が異なるため、そのデータ伝搬時間にも差が生じ、この時間差を考慮して、データバスに空き時間を設ける必要がある。また、データの書込／読出に合わせ、これらの書込／読出を示すコマンドを印加する場合においても、コマンドは必要なときのみ転送されるだけであり、このデータバス914に比べて使用頻度が少なく、動作制御バス912の使用効率が、双方向データバス910の使用効率に比べて低いという問題がある。

【0008】

図23は、パケット形式でコマンドおよびデータを転送するメモリICの動作を示すタイミングチャート図である。この図23に示すように、動作制御バス912は、行選択に関連するコマンドおよび行アドレスを伝達する行アドレスバスと、列選択に関連するコマンドおよび列アドレスを伝達するバスに分割される。行アドレスおよび列アドレスが、時分割多重化して伝達される。また、クロック信号CLKに同期して、たとえば4クロックサイクルにわたって行選択動作を活性化するアクティブコマンドパッケージACTが与えられる。このメモリIC910は、アドレスコマンドパッケージACTが与えられると、そのパッケージに含まれるアドレス信号に従って行選択動作を行なう。

【0009】

次いで、列アドレス／コマンドバスを介して、データの書込を示すライトコマンドパケットWRが与えられる。このパケット形式の信号／データ転送時には、書込データDは、ライトコマンドパケットWRが与えられてから所定クロックサイクル（図23においては6クロックサイクル）経過後に与えられる（内部での書込動作レイテンシを考慮するためである）。この書込コマンドパケットWRに続いて、データ読出を指示するリードコマンドパケットRDが与えられる。このリードコマンドパケットRDが与えられた後、所定のクロックサイクル（図23では6クロックサイクル）経過後に、読出データQが出力される。このデータの読出が行なわれた後、行アドレスバスを介してプリチャージコマンドパケットPREが与えられる。プリチャージコマンドパケットPREに従って、メモリIC910が、プリチャージ状態に復帰する。

【0010】

このようなパケット形式で信号／データを転送する場合においても、データの書込／読出を指示するアクセスコマンドパケットは、データの書込／読出を行なうときのみに転送されるため、この動作制御バス912の使用効率が悪いという問題が生じる。

【0011】

このようなバスの使用効率を改善し高速アクセスを実現するために、メモリIC910に複数のバンクを設け、バンクをインターリーブ態様で順次アクセスすることが行われる。しかしながら、バンク数にも上限があり、また、1つのバンクを選択状態に維持する時間の上限は、DRAMセルのデータ保持時間により予め定められる、数多くのバンクを設けて順次バンクにアクセスするにも限度がある。

【0012】

また、データバス914においては、書込データDおよび読出データQが、ともに転送されるため、競合を防止するために、データバスの空き時間が生じる。このパケット方式のメモリシステムにおいても、メモリICが複数個並列に設けられるため、このデータバスの配線長の相違による信号伝搬遅延時間の相違に基づき、データの衝突を防止するために、必要最小限の、データの書込／読出時におけるパケット間の時間スロット（空き時間）を設ける必要がある。したがって、従来のメモリシステムにおいては、動作制御バスおよびデータバスの使用効率が悪く、高速でデータを転送することができないという問題がある。

【0013】

それゆえ、この発明の目的は、バスの使用効率を改善して効率的にデータ転送を行なうことのできる半導体記憶装置を提供することである。

【0014】

この発明の他の目的は、バスの使用効率を改善して効率的にデータを転送することのできるメモリシステムを提供することである。

【0015】

【課題を解決するための手段】

この発明に係る半導体記憶装置は、書込データ、制御信号およびアドレス信号を受ける複数の入力端子と、読出データを出力するための少なくとも1つの出力端子を含む。書込データおよび読出データのビット数が互いに異ならされる。

【0016】

好ましくは、入力端子として機能する端子の数と出力端子として機能する端子の数を変更するためのデータ制御回路が設けられる。

【0017】

また、好ましくは、入力端子は第1のバスに結合され、出力端子は、第2のバスに結合される。これら第1および第2のバスは、それぞれ、一方方向に沿って信号またはデータを転送する単方向バスである。

【0018】

好ましくは、さらに、内部データバスと入力端子との間に結合され、入力端子に与えられた書込データを内部データバスのビット幅に等しいビット数の内部書込データに変換して出力する書込変換回路と、内部データバスと出力端子との間に結合され、内部データバスに読出された内部読出データを出力端子のビット数に等しいビット幅のデータに変換して出力端子へ転送する読出変換回路が設けられる。

【0019】

好ましくは、書込変換回路は、入力端子に与えられた書込データを順次受けてこれらの受けた書込データを並列に内部データバスに転送する直／並変換回路を含む。また、読出変換回路は、内部データバスに並列に読出された複数ビットのデータを受け、これら複数のビットを直列データに変換して順次出力端子に転送する並／直変換回路を含む。

【0020】

好ましくは、さらに、直／並変換回路の入力データビット幅および並／直変換回路の出力データビット幅を変更するためのデータビット制御回路が設けられる。

【0021】

書込変換回路の入力データビット数および読出変換回路の出力データビット数

を変更するためのデータビット制御回路がさらに好ましくは設けられる。

【0022】

また、書込変換回路および読出変換回路を並列に動作させるための制御回路が設けられる。

【0023】

この発明に係るメモリシステムは、情報を記憶するメモリと、このメモリへのアクセスを制御するためのメモリコントローラと、メモリコントローラからの書込データおよび制御信号およびアドレス信号をメモリに転送するための第1の単方向バスと、メモリから読出された読出データをメモリコントローラへ転送するための第2の単方向バスを含む。読出データは、ビット数が書込データと異なる。

【0024】

メモリは、好ましくは、書込データを受けて、内部書込データを生成する書込回路と、内部で読出された内部読出データから読出データを生成する読出回路と、書込回路の入力データビット数および読出回路の出力データビット数を変更するためのデータビット変更回路が好ましくはさらに設けられる。

【0025】

また、メモリコントローラは、書込データおよび読出データのビット数を変更するための回路を含む。

【0026】

また、メモリには、好ましくは書込データおよび読出データを同時に入出力するための回路が設けられる。

【0027】

好ましくは、メモリコントローラは、書込データおよび読出データを同時に転送するための回路を備える。

【0028】

書込データビット数および読出データビット数を互いに異ならせる。書込データなどの転送が行なわれた場合には、読出データのビット数を増加させて、できるだけ多くのバス線を利用する。データ転送の方向および頻度に応じて、効率的

にバスを使用して、データを転送することができ、高速のデータ転送を実現することができる。

【0029】

特に、書込データを転送するバスと制御信号およびアドレス信号を転送するバスを同一バス線で構成することにより、より効率的に、バスを使用して、データを転送することができる。

【0030】

【発明の実施の形態】

〔実施の形態1〕

図1は、この発明の実施の形態1に従うメモリシステムの構成を概略的に示す図である。図1において、メモリシステムは、メモリコントローラ1とメモリIC2とを含む。メモリコントローラ1は、第1のバス3を介して制御信号CTL、アドレス信号ADDおよび書込データDをメモリIC2へ転送する。また、メモリIC2は、読出データQを第2のバス4を介してメモリコントローラ1へ転送する。この第1のバス3は、Mビット幅であり、第2のバス4は、Nビット幅であり、これらのバス3および4のビット幅は、互いに異なる($M \neq N$)。これらのバス3および4は、それぞれ一方方向にのみ信号／データを転送しており、単方向バスである。この第1のバス3においては、制御信号CTLおよびアドレス信号ADDを転送するバス線と、書込データDを転送するバス線が共用される。書込データDと読出データQのビット幅が、このメモリIC2の仕様値に応じて、バス3および4の使用効率が最も高くなるように決定される。

【0031】

今、図2に示すように、メモリIC2の第1のバス3に結合される入力ピンが、4ビットの入力ピンPI1-PI4を含む場合を考える。アドレス信号を含むコマンドパッケージが16ビットであり、またデータパッケージも16ビットの場合を考える。この場合、図2に示すように、まず、データの書込を指示するコマンドパッケージが、クロック信号CLKに同期して4ビット単位で転送される。したがって、コマンドパッケージの16ビットC1-C16は、クロック信号CLKの4サイクルにわたってメモリコントローラ1から第1のバス3を介してメモリI

C 2 へ転送される。続いて、同じ第 1 のバス 3 を介して、書込データ D が転送される。この書込データ D が、16 ビット I 1 - I 16 であり、同様、クロック信号 C L K に同期して 4 ビット単位でメモリ I C 2 へ第 1 のバス 3 を介して転送される。したがって、このデータ書込において、合計 8 クロックサイクルが必要となる。

【 0 0 3 2 】

一方、図 3 に示すように、第 1 のバス 3 を、5 ビットバスに設定し、第 2 のバス 4 を 3 ビット幅に設定する。第 1 のバス 3 および第 2 のバス 4 の合計ビット数は 8 ビットであり、この合計ビット幅は変更されない。第 1 のバス 3 を 5 ビット幅とした場合、16 ビットのコマンドパケットは、4 クロックサイクルにわたって転送される。一方、第 4 クロックサイクルにおいて書込データビット I 1 をコマンドアドレスビット C 16 とともに転送することにより、データパケットは、実質的に、3 クロックサイクルで転送することができる。したがって、合計 7 クロックサイクルで、コマンドパケットおよびデータパケットを転送することができる。このとき、第 2 のバス 4 に結合されるメモリ I C 2 の出力端子 P O 1 - P O 3 から、16 ビットのデータ Q を、3 ビット単位で、順次転送する。したがって、データの書込と並行して、第 1 のバス 4 を介して 16 ビット O 1 - O 16 の読出データ Q をメモリコントローラ 1 へ転送することができる。これにより、第 1 のバス 3 および第 2 のバス 4 両者におけるバスの空き時間を短縮することができる。

【 0 0 3 3 】

データ読出時においては、データ書込を指示するコマンドパケットの前に、データ読出を指示するリードコマンドパケットを転送する。リードコマンドパケット転送後、コラムレイテンシ経過後に、データビット O 1 - O 16 がメモリ I C 2 から 3 ビット単位で読出される。すなわち、メモリ I C 2 においては、データの入力回路およびデータの出力回路は同時に動作する。内部においてメモリセルの選択、書込動作および読出動作が、コマンドの印加順序に従って実行される。単に、このメモリ I C 2 の、バス 3 および 4 に結合されるインターフェイス回路において、データの書込／読出が同時に実行される。

【 0 0 3 4 】

図 4 は、図 1 に示すメモリ IC 2 の構成を概略的に示す図である。図 4 において、メモリ IC 2 は、行列状に配列される複数のメモリセルを有するメモリセルアレイ 5 と、このメモリセルアレイ 5 の行の選択に関連する動作を行なう行系回路 6 と、メモリセルアレイ 5 の列選択に関連する動作を行なう列系回路 7 を含む。メモリセルアレイ 5 においては、メモリセル行に対応してワード線が配設され、メモリセル列に対応してビット線が配設される。

【 0 0 3 5 】

行系回路 6 は、行アドレスをデコードするロウデコーダ、ロウデコーダからのデコード信号に従ってアドレス指定された行に対応するワード線を選択状態へ駆動するワード線ドライブ回路、ビット線を所定電圧レベルにプリチャージしかつイコライズするプリチャージ／イコライズ回路、およびメモリセルデータの検知、増幅およびラッチを行なうセンスアンプ回路等を含む。

【 0 0 3 6 】

列系回路 7 は、列アドレスをデコードして列選択信号を生成するコラムデコーダ、選択列のメモリセルへのデータの書込を行なうライトドライブ回路、および選択メモリセルのデータを増幅するプリアンプ等を含む。

【 0 0 3 7 】

メモリ IC 2 は、M ビットの第 1 のバス 3 に結合される入力ピン端子群 P I G を介してメモリコントローラ 1 からのコマンドパケットおよび書込データを受け、入力バッファ 1 0 と、入力バッファ 1 0 からのコマンドパケットをデコードし、内部動作を指定する動作モード指示信号を生成するコマンドデコーダ 1 1 と、コマンドデコーダ 1 1 からの書込動作モード指示信号 W R I T E に従って入力バッファ 1 0 からの M ビットのデータを P ビットの書込データに変更して内部データバス 1 3 上に伝達するビット幅拡張回路 1 2 と、内部データバス 1 3 からの P ビット幅の内部読出データを受け、コマンドデコーダ 1 1 からの読出動作モード指示信号 R E A D に従ってこの内部データバス 1 3 上に読出された P ビットの読出データを N ビットデータに変換するビット幅縮小回路 1 5 と、このビット幅縮小回路 1 5 からのデータを N ビットの出力端子群 P O G を介して順次出力する出

力バッファ 1 6 と、コマンドデコーダ 1 1 からの動作モード指示信号に従って指定された動作に必要な制御信号を生成する制御回路 1 4 を含む。この制御回路 1 4 は、図 4 において行系回路 6 および列系回路 7 に対する制御信号を発生するように示す。この制御回路 1 4 からまた、出力バッファ 1 6 に対し出力イネーブル信号が与えられてもよい。

【 0 0 3 8 】

図 4 に示すように、ビット幅拡張回路 1 2 を利用して、たとえば、図 3 に示すように 4 クロックサイクルにわたって伝達される 1 6 ビットの書込データを、内部の 1 6 ビットの書込データにして一度に内部データバス 1 3 上に転送する ($P = 16$ の場合)。一方、ビット幅縮小回路 1 5 は、出力端子群 P O G のビット幅 $N (= 3)$ に合わせて、内部データバス 1 3 に読出された $P (= 16)$ ビットのデータのビット幅を縮小し、順次クロック信号に従って出力バッファ 1 6 に転送する。これにより、メモリ I C の仕様に依拠して、入力ピン端子群 P I G および出力ピン端子群 P O G のビット幅を設定して、効率的に、データの転送を行なうことができる。

【 0 0 3 9 】

内部データバス 1 3 は、たとえば 1 6 ビット幅であり、メモリセルアレイ 5 においてコマンドパケットに含まれるアドレス信号に従って選択された 1 6 ビットのメモリセルに対し同時にデータの書込または読出が、与えられたコマンドに従って制御回路 1 4 の制御のもとに実行される。

【 0 0 4 0 】

図 5 は、図 4 に示すビット幅拡張回路 1 2 の構成を概略的に示す図である。図 5 において、ビット幅拡張回路 1 2 は、図 4 に示すコマンドデコーダ 1 1 からの書込動作モード指示信号 W R I T E とクロック信号 C L K とに従って、転送クロック信号 T 0 - T 3 を順次発生する書込転送制御回路 2 2 と、書込転送制御回路 2 2 からの転送クロック信号 T 0 - T 3 にそれぞれ従って導通し、入力バッファ 1 0 からのデータビットを転送するトランスファークラップ 2 0 a - 2 0 d と、トランスファークラップ 2 0 a - 2 0 d それぞれに対応して設けられ、対応のトランスファークラップ 2 0 a - 2 0 d から転送されたデータビットをラッチするラッチ

回路 2 1 a - 2 1 d を含む。これらのラッチ回路 2 1 a - 2 1 d は、書込転送制御回路 2 2 からの書込活性化信号 ϕ WR の活性化時ラッチしたデータビットを内部データバス 1 3 に並列に転送する。この内部データバス 1 3 上のデータビットが、図 4 に示す列系回路 7 に含まれるライトドライバへ与えられる。

【 0 0 4 1 】

この図 5 に示すビット幅拡張回路 1 2 において、図 3 に示すようなデータビットの構成の場合、トランスファークゲート 2 0 a は 1 ビットデータを転送しラッチ回路 2 1 a が 1 ビットデータのラッチおよび出力を行なう。トランスファークゲート 2 0 b - 2 0 d は、それぞれ 5 ビットのデータの転送を行ない、ラッチ回路 2 1 b - 2 1 d が、5 ビットのデータのラッチおよび出力を行なう。トランスファークゲート 2 0 a は、入力バッファ 1 0 の 5 ビットの出力のうち、予め定められたデータビットに結合される。残りのトランスファークゲート 2 0 b - 2 0 d は、入力バッファ 1 0 の内部出力ノードにそれぞれ結合される。次に、この図 5 に示すビット幅拡張回路 1 2 の動作について図 6 に示すタイミングチャート図を参照して説明する。

【 0 0 4 2 】

ライトコマンドパケットが与えられると、このライトコマンドパケットに含まれるライトコマンドに従って、コマンドデコーダ 1 1 が書込動作モード指示信号 WR I T E を活性化する。この書込動作モード指示信号 WR I T E が活性化されると、書込転送制御回路 2 2 は、クロック信号 C L K に従って、転送クロック信号 T 0 - T 3 を順次活性化（H レベルに駆動）する。これにより、トランスファークゲート 2 0 a - 2 0 d が順次導通し、入力バッファ 1 0 へ与えられたデータをそれぞれ転送し、対応のラッチ回路 2 1 a - 2 1 d にラッチさせる。

【 0 0 4 3 】

この書込動作モード指示信号 WR I T E が活性化されてから所定の時間 t C W D （C A S - 書込遅延時間）が経過すると、書込活性化信号 ϕ WR が活性化され、ラッチ回路 2 1 a - 2 1 d は、ラッチしたデータビットを並列に内部データバス 1 3 に伝達する。したがって、転送クロック信号 T 0 - T 3 に従って、転送された 1 ビットデータ、5 ビットデータ、5 ビットデータおよび 5 ビットデータが

、それぞれラッチ回路 2 1 a - 2 1 d にラッチされた後、並列に 1 6 ビット幅の内部データバス 1 3 に転送される。メモリセルの選択はライトコマンドパケットに含まれるアドレス信号に従って行なわれる。

【 0 0 4 4 】

ここで、入力バッファ 1 0 へは、ライトコマンドパケットおよび書込データ両者が直列に与えられており、ライトコマンドパケットに続いて、書込データパケットが転送される。しかしながら、ライトコマンドパケット印加後、所定の時間経過後に、書込データパケットが印加されてもよい。書込データパケットとライトコマンドパケットの間の時間は予め定められているため、この書込動作モード指示信号 W R I T E が活性化されてから所定時間経過後に、書込転送制御回路 2 2 の制御の下に転送クロック信号 T 0 - T 3 が順次活性化される。この場合、単に、転送クロック信号 T 0 - T 3 の活性化タイミングが所定時間遅れるだけである。

【 0 0 4 5 】

なお、ラッチ回路 2 1 a - 2 1 d の構成は、トランスファークゲート 2 0 a - 2 0 d を介して与えられるデータビットをラッチし、書込活性化信号 ϕ W R に従ってラッチデータビットを転送する構成であればよい。これらのラッチ回路 2 1 a - 2 1 d は、たとえば、トランスファークゲートとインバータラッチ回路とで構成することができる。

【 0 0 4 6 】

また、書込転送制御回路 2 2 は、書込データビットの幅が固定されている場合には、書込動作モード指示信号 W R I T E に従って所定のクロックサイクル期間クロック信号 C L K を発生する構成であればよい。たとえば、書込動作モード指示信号 W R I T E の活性化に応答してセットされて 4 クロックサイクル経過するとリセットされるフリップフロップを設け、このフリップフロップの出力信号とクロック信号 C L K の論理積により転送クロック信号 T 0 - T 3 を生成することができる。

【 0 0 4 7 】

また、図 6 においては、転送クロック信号 T 0 - T 3 は、クロック信号 C L K

に同期して発生されている。これは、図 3 に示すように、クロック信号 CLK の立下がりに同期して外部からのコマンドおよびデータビットのサンプリングが行なわれるためである。しかしながら、このクロック信号 CLK の立上がりに同期して転送クロック信号 T0 - T3 が生成されてもよい。

【 0 0 4 8 】

また、クロック信号 CLK の立上がりエッジおよび立下がりエッジ両者を用いてデータパケットおよびコマンドパケットの転送を行なう DDR（ダブル・データ・レート）モードの場合、入力バッファ 10 において、このクロック信号 CLK の立上がりエッジおよび立下がりエッジで信号／データビットのサンプリングを行なった後、クロック信号 CLK の立上がりエッジまたは立下がりエッジでこれらのサンプリングした信号／データビットを並列に出力する構成が用いられれば、図 5 に示す構成を DDR モードにおいても利用することができる。

【 0 0 4 9 】

図 7 は、図 4 に示すビット幅縮小回路 15 の構成を概略的に示す図である。図 7 において、ビット幅縮小回路 15 は、内部データバス 13 の異なるバス線に設けられるラッチ回路 31a - 31f と、ラッチ回路 31a - 31f それぞれに対応して設けられ、転送クロック信号 Ta - Tf に従って対応のラッチ回路 31a - 31f のラッチデータを出力バッファ 16 へ転送するトランスファークゲート 30a - 30f と、読出動作モード指示信号 READ とクロック信号 CLK とに従って転送クロック信号 Ta - Tf を生成しかつラッチ回路 31a - 31f へ読出活性化信号 ϕ RD を与える読出転送制御回路 32 を含む。

【 0 0 5 0 】

ラッチ回路 31a - 31e は、たとえば、図 3 に示すデータ転送を実現するため 3 ビット幅を有し、ラッチ回路 31f は 1 ビット幅を有する。出力バッファ 16 は、トランスファークゲート 30a - 30f から与えられる 3 ビットデータを順次 3 ビットのデータ出力端子群へ転送する。次に、この図 7 に示すビット幅縮小回路 15 の動作を図 8 に示すタイミングチャート図を参照して説明する。

【 0 0 5 1 】

まず、リードコマンドパケットが与えられると、読出動作モード指示信号 RE

A Dが活性化される。読出転送制御回路32は、この読出動作モード指示信号READの活性化に応答して、所定の期間（コラムレイテンシー1クロックサイクル）をカウントし、所定の期間が経過すると、読出活性化信号 ϕ RDを活性化する。このコラムレイテンシー1（ $t_{CAC}-1$ ）のサイクル期間は、内部でメモリセルアレイの列選択および選択メモリセルデータの内部転送（プリアンプの活性化を含む）に要する時間により決定される。

【0052】

ラッチ回路31a-31fは、この読出活性化信号 ϕ RDの活性化に従って内部データバス13に与えられた16ビットのデータを、それぞれ、3ビット、3ビット、3ビット、3ビット、3ビットおよび1ビットずつラッチする。

【0053】

次いで、読出データ制御回路32は、次のクロックサイクルから転送クロック信号Ta-Tfを順次活性化する。ラッチ回路31a-31fにラッチされたデータが、トランスファークゲート30a-30fを介して出力バッファ16へ順次転送される。出力バッファ16が、3ビットデータを順次出力する。

【0054】

したがってこの図7に示す構成の場合、16ビットデータを3ビットデータに変換して直列に順次出力する。

【0055】

なお、転送クロック信号Ta-Tfは、クロック信号CLKに同期して発生されている。しかしながら、これらの転送クロック信号Ta-Tfは、クロック信号CLKと位相が180°異なってもよい。出力バッファ16において、このデータビットをクロック信号CLKの立上がり同期して順次転送する。また、出力バッファ16が、DDRモードでデータビットを転送するように構成されてもよい。このDDRモードでの転送時には、転送クロック信号Ta-Tfは、クロック信号CLKの半クロックサイクルずつ位相をずらせて活性化する。またはこれに代えて、転送クロック信号Ta-Tfの2つを組として同時に活性化し、出力バッファ16において6ビットデータを3ビットデータに変換してクロック信号CLKの立上がりエッジおよび立下がりエッジに同期して転送する。

(出力バッファが6ビット／3ビットの並／直変換を行なう。これらのデータ転送時におけるクロック信号CLKと読出データビットの位相関係は、用いられるメモリICの仕様に応じて適当に定められればよい。

【0056】

図8は、図3に示すデータの書込および読出を行なう際のビット幅拡張回路12およびビット幅縮小回路15の動作を示すタイミングチャート図である。以下、図8を参照して、このデータの書込および読出動作について説明する。

【0057】

クロック信号CLKのサイクル#0においてリードコマンドパケットに従って読出動作モード指示信号READが活性化される。この読出動作モード指示信号READが活性化されると、2クロックサイクル後のクロックサイクル#3において、読出活性化信号φRDが活性化され、図7に示すラッチ回路31a-31fが内部データバス13上の内部読出データビットをそれぞれラッチする。

【0058】

続いて、クロックサイクル#4から、転送クロック信号Ta-Tfが順次活性化され、ラッチ回路31a-31fのラッチデータがトランスファークゲート30a-30fを介して出力バッファ16へ与えられる。

【0059】

ライトコマンドパケットが4クロックサイクルにわたって印加されるため、クロックサイクル#2から、クロックサイクル#5においてライトコマンドパケットが印加される。このライトコマンドパケットに従ってクロックサイクル#6において書込動作モード指示信号WRITEが活性化される。この書込動作モード指示信号WRITEの活性化に従って、図5に示す書込転送制御回路22が活性化され、転送クロック信号T0-T3を、クロックサイクル#7から#10にわたって順次活性化する。転送クロック信号T0-T3に従って図5に示すラッチ回路21a-21dに書込データがラッチされる。クロックサイクル#11において書込活性化信号φWRが活性化され、このラッチ回路21a-21dにラッチされたデータビットが内部データバス13に並列に転送される。

【0060】

したがって、このクロックサイクル# 4 および# 5 においては、第 1 のバス 3 および第 2 のバス 4 がともに信号およびデータをそれぞれ転送している。また、クロックサイクル# 7 からクロックサイクル# 9 においては、第 1 のバス 3 および第 2 のバス 4 が、それぞれデータビットを転送している。したがって、バスの空き時間が短くなり、データ転送効率を改善することができる。

【 0 0 6 1 】

この図 8 に示すように、転送クロック信号 T a - T f の活性化時にはラッチ回路 3 1 a - 3 1 f (図 7 参照) に読出データビットがラッチされており、内部でデータ読出のための列選択動作は完了する。したがって、この読出動作活性化信号 ϕ R D に従って列系回路を一旦リセットした後、再び、クロックサイクル# 1 1 において書込活性化信号 ϕ W R を活性化する。この転送クロック信号 T a - T f および T 0 - T 3 の発生時に、内部で列選択を行なう。この列選択に要する時間は、図 8 においては、2 クロックサイクル期間であり、内部で、転送クロック信号 T a - T f を順次活性化している際に、書込動作モード指示信号 W R I T E が活性化されて内部で列選択を書込動作のために行なっても、何ら内部データの衝突は生じない。

【 0 0 6 2 】

また、メモリ I C が複数のバンクを含む場合、バンクヘインターリーブ態様でアクセスすることにより、よりバスの利用効率を改善することもできる。

【 0 0 6 3 】

図 5 に示す書込転送制御回路 2 2 および図 7 に示す読出転送制御回路 3 2 は、互いに独立に動作可能であり、この独立動作により、第 1 のバスおよび第 2 のバスに、書込データおよび読出データを同時に転送することができる。

【 0 0 6 4 】

なお、内部で書込データと読出データの衝突の生じる可能性がある場合(データ書込および読出時のコラムレイテンシがコマンドパケットの印加クロックサイクル数よりも長い場合)、内部で、1 つの列選択動作が完了するまで、次の列選択動作を待機させる競合回避回路を設けておけば、このような内部でのデータバスでのデータの衝突は防止することができる。

【 0 0 6 5 】

図 9 は、図 1 に示すメモリコントローラ 1 の構成を概略的に示す図である。図 9 において、メモリコントローラ 1 は、プロセサなどの処理装置とのアクセスを行なうインターフェイス回路 4 0 と、インターフェイス回路 4 0 に結合され、処理装置からのメモリ I C へのアクセス要求に従って必要なパケットを生成する制御回路 4 1 と、制御回路 4 1 からのパケットを受け、そのビット幅を縮小するビット幅縮小回路 4 2 と、ビット幅縮小回路 4 2 により縮小された縮小パケットをクロック信号 C L K に同期して第 1 のバス 3 に伝達する出力回路 4 3 と、第 2 のバス 4 から与えられるデータをクロック信号 C L K に同期して取込む入力回路 4 4 と、入力回路 4 4 からのデータビットを所定のビット幅のデータパケットに変換して制御回路 4 1 へ与えるビット幅拡張回路 4 5 を含む。

【 0 0 6 6 】

この制御回路 4 1 は、メモリ I C の距離（複数のメモリ I C が設けられているとき）に応じて、データ読出指示を与えた場合の読出データの返送タイミングを決定して入力回路 4 4 を活性化する。これらのビット幅縮小回路 4 2 およびビット幅拡張回路 4 5 は、それぞれ制御回路 4 1 の制御のもとに活性化される。このメモリコントローラ 1 において、第 1 のデータバス 3 および第 2 のデータバス 4 のビット幅に応じて、送受するパケットのビット幅をおよびクロックサイクル数を調整することにより、データバス 3 および 4 のビット幅変更に対応することができる。

【 0 0 6 7 】

図 1 0 は、図 9 に示すビット幅縮小回路 4 2 の構成を概略的に示す図である。図 1 0 において、ビット幅縮小回路 4 2 は、制御回路 4 1 からのコマンドパケットおよび書込データパケットを所定ビット（たとえば 4 ビット）単位で受けてラッチするラッチ回路 5 0 a - 5 0 d と、ラッチ回路 5 0 a - 5 0 d それぞれに対応して設けられ、出力転送制御回路 5 1 からの転送クロック信号 T 0 - T 3 に従って対応のラッチ回路 5 0 a - 5 0 d のラッチ信号／データビットを出力回路 4 3 へ転送するトランスファークラック 5 1 a - 5 1 d を含む。

【 0 0 6 8 】

ラッチ回路 5 0 a - 5 0 d へは、コマンドパケットは全ビット並列に与えられてラッチされる。出力転送制御回路 5 2 は、制御回路 4 1 からの転送指示 X F および書込指示 W R に従って、転送活性化信号 ϕ X F を活性化する。ラッチ回路 5 0 a - 5 0 d に、コマンドのビットおよびデータビットがラッチされた後に、出力転送制御回路 5 2 が、転送クロック信号 T 0 - T 3 を順次活性化する。したがって、5 ビット単位で、4 サイクルにわたってコマンドパケットが転送された後、データ書込時においては、続いて、5 ビット単位で、書込データが出力回路 4 3 を介して転送される。データ読出を指示するときには、書込指示信号 W R は非活性状態であり、出力転送制御回路 5 2 は、リードコマンドパケットのみをラッチ回路 5 0 a - 5 0 d にラッチさせた後、転送クロック信号 T 0 - T 3 を順次活性化する。これにより、リードコマンドパケットのみが転送される。また、書込データビットの位置も、制御回路 4 1 の制御のもとに、予め定められ、ラッチ回路 5 0 a - 5 0 d には、それぞれ所定の位置のコマンドパケットの信号およびデータビットが格納される。

【 0 0 6 9 】

図 1 1 は、図 9 に示すビット幅拡張回路 4 5 の構成の一例を概略的に示す図である。図 1 1 において、ビット幅拡張回路 4 5 は、入力回路 4 4 に並列に結合されるトランスファークラップ 5 5 a - 5 5 f と、トランスファークラップ 5 5 a - 5 5 f それぞれに対応して設けられるラッチ回路 5 6 a - 5 6 f と、読出動作モード指示信号 R E A D の活性化に応答して、コラムレイテンシおよびデータ伝搬遅延時間およびデータ入力クロックサイクル数が経過した後に、転送指示信号 ϕ L T を活性化する読込転送制御回路 5 7 を含む。ラッチ回路 5 6 a - 5 6 f のラッチデータビットは転送指示信号 ϕ L T の活性化に応答して並列に制御回路へ与えられる。入力回路 4 4 へは、3 ビットの読出データが順次メモリ I C から転送される。

【 0 0 7 0 】

読込転送制御回路 5 7 は、制御回路 4 1 から読出動作モード指示信号 R E A D の活性化時、まず転送クロック信号 T a - T f を、順次活性化する。トランスファークラップ 5 5 f は入力回路 4 4 の所定の内部出力ノードに結合され、1 ビット

のデータを転送する。したがって、ラッチ回路 5 6 a - 5 6 e には、3 ビットのデータが格納され、ラッチ回路 5 6 f には、1 ビットのデータが格納される。この入力回路 4 4 を介して転送されたデータビットがラッチ回路 5 6 a - 5 6 f に転送されてラッチされると、読込転送制御回路 5 7 は、転送指示信号 ϕ L T を活性化する。これにより、ラッチ回路 5 6 a - 5 6 f にラッチされた 1 6 ビットのデータが、制御回路 4 1 へ並列に与えられる。

【 0 0 7 1 】

転送クロック信号 T a - T f の活性化順序を、メモリ I C における転送クロック信号 T a - T f の活性化順序と同じとすることにより、制御回路 4 1 に対し、データビットの位置をメモリ I C において読出される内部読出データ（1 6 ビット）の位置と異ならせることなく与えることができる。メモリコントローラ 1 およびメモリ I C 2 においてそれぞれ内部で 1 6 ビットのデータが処理される場合、5 ビットの第 1 のバスおよび 3 ビットの第 2 のバスを介してデータ転送を行ない、バス使用効率を改善でき効率的にデータ転送を行なうことができる。

【 0 0 7 2 】

なお、上述の説明においては、第 1 のバスを介して転送される書込データビットの数を読出データビットの数よりも大きくしている。しかしながら、逆に、読出動作が頻繁に行なわれるなどの場合、この第 2 のデータバス 4 のビット幅を、第 1 のデータバス 3 のビット幅よりも大きくしてもよい。

【 0 0 7 3 】

なお、上述の説明においては、1 6 ビットのコマンドが、4 ビット幅のパケットで 4 クロックサイクルにわたって転送されており、また 1 6 ビットのデータが転送されている。しかしながらこれらのビット幅は、単なる一例であり、たとえば 3 2 ビットまたは 6 4 ビットのなどのビット幅のコマンドおよびデータが転送されてもよい。また、内部データバスの幅も 1 6 ビット以外の 6 4 ビットまたは 2 5 6 ビットなどの幅であっても良い。

【 0 0 7 4 】

なお、コマンドおよびアドレスもビット幅が変換されてコマンドデコーダおよびアドレスデコーダへ与えられる。

【 0 0 7 5 】

〔変更例〕

図 1 2 は、この発明の実施の形態 1 のメモリシステムの変更例の構成を概略的に示す図である。図 1 2 においては、メモリコントローラ 1 とメモリ IC 2 とは、制御／アドレスバス 3 a および書込データバス 3 b および読出データバス 4 により結合される。書込データバス 3 b は m ビット幅であり、読出データバス 4 は、n ビット幅である。これらのデータバス 3 b および 4 のビット幅 m および n は互いにその値が異なる。制御／アドレスバス 3 a は、そのビット幅が固定されている。このようなリード／ライト分離の構成においても、データバス 3 b および 4 のビット幅 m および n をそれぞれ適当な値に設定することにより、バスの使用効率を改善することができる。この場合においても、メモリコントローラ 1 およびメモリ IC 2 においては、ビット幅拡張回路およびビット幅縮小回路が同様に、データビットに対して設けられる。制御／アドレスバス 3 a に対しては、このようなビット幅拡張／縮小回路は設けられない。

【 0 0 7 6 】

図 1 3 は、図 1 2 に示すメモリシステムのデータの書込／読出を示すタイミングチャート図である。クロックサイクル # A においてデータ読出を示すリードコマンド R 1 が与えられる。コラムレイテンシが 2 であり、クロックサイクル # B から、データビット Q A 1 - Q A 4 が順次読出される。これらは、メモリ IC の内部データバスのビット幅よりも小さなビット幅を有するデータである。クロックサイクル # B においてデータの書込を示すライトコマンド W を与える。データ書込時において、書込データバス 3 b を介して書込データ D A 1 - D A 4 がクロックサイクル # B から与えられる。メモリ IC においては、内部のラッチ回路によりデータビットがすべてラッチされており、このクロックサイクル # B においては、内部の列選択動作は完了している。したがってクロックサイクル # B においてライトコマンド W を与えて、書込データビット D A 1 - D A 4 を順次内部でラッチしても、何らメモリセルを読出すための列選択動作に悪影響を及ぼさない。内部でリードコマンドによる列選択動作が完了すると、次いでライトコマンドによるデータ列選択が行なわれて、このデータビット D A 4 の格納後、内部で選

択メモリセルへのデータの書込が実行される。

【0077】

このように書込データバスおよび読出データバスを別々に設けることにより、互いに同時に、書込データビットおよび読出データビットを転送することができる。この図13に示す構成の場合、たとえば内部のデータバスが256ビットの幅を有し、データの入出力回路部において、32ビットのデータが選択されて入出力される構成の場合において、たとえば読出が頻繁に行なわれる場合には、データのビット幅を、たとえば48ビットとし、書込データバスの幅を、16ビットに低減する。書込データバスと読出データバスのビット幅の合計は変化しない。これにより、データ読出が頻繁に行なわれる回路において、データ読出を高速で効率的に行なうことができる。また、書込が頻繁に行なわれる場合には、この書込データバスのビット幅を読出データバスのビット幅よりも大きくする。この場合も、読出データバスと書込データバスのビット幅は同じとする。

【0078】

したがって、内部メモリICにおいて内部で転送可能なデータビットの数よりも、外部でのデータ転送可能なビット数が少ない場合、本発明を適用して、効率的なデータ転送を行なうことができる。この内部256ビット、外部32ビット構成の場合、メモリIC内において256:32選択を行なうデコーダを非活性状態として、256ビットを同時に選択する状態に設定する。これにより、256ビットのデータをラッチして、48ビット単位で外部へ読出ことができる。また、書込データを16ビット単位で受けて直列／並列変換を行なうことにより、256ビットのデータバスへ内部書込データを転送することができる。

【0079】

以上のように、この発明の実施の形態1に従えば、書込データを転送するバスと読出データを転送するバスを別々に設けかつそれらのバス幅を異ならせており、処理用途において効率的にバス幅を設定して、効率的にデータ転送を行なうことができ、バスの使用効率を改善することができる。

【0080】

〔実施の形態2〕

図 1 4 は、この発明の実施の形態 2 に従うメモリ IC の要部の構成を概略的に示す図である。図 1 4 において、メモリ IC 2 は、第 1 のバス 3 にピン端子群 P G A を介して結合されかつ第 2 のバス 4 に、ピン端子群 P G B を介して結合される入力バッファ回路 7 0 と、入力バッファ回路 7 0 の出力データビット幅を変換して内部データバス 1 3 に伝達するビット幅変換回路 7 2 と、ピン端子群 P G A および P G B に結合される出力バッファ回路 7 4 と、内部データバス 1 3 に読出されたビット幅 P のデータのビット幅を出力バッファ回路 7 0 のビット幅に変換して内部読出データを転送するビット幅変換回路 7 6 と、入力バッファ回路 7 0 およびビット幅変換回路 7 2 のビット幅ならびに出力バッファ回路 7 4 およびビット幅変換回路 7 6 のビット幅を設定するモードレジスタ 7 8 を含む。

【 0 0 8 1 】

モードレジスタ 7 8 は、モードレジスタセットコマンド M R S が与えられると、ピン端子群 P G A および P G B の所定のピン端子に与えられたデータを取込み（この回路は示されず）、入力データビット数設定信号 I B S および出力データビット数設定信号 O B S を生成する。入力バッファ回路 7 0 のビット幅が、この入力ビット数設定信号 I B S により設定され、またビット幅変換回路 7 2 も、変換ビット幅が、入力バッファ回路 7 0 と内部データバス 1 3 のビット幅に応じて設定される。出力バッファ回路 7 4 は、そのビット幅が、出力データビット数設定信号 O B S に設定され、またビット幅変換回路 7 6 も、出力データビット数設定信号 O B S に従ってビット幅変換処理内容が決定される。

【 0 0 8 2 】

この図 1 4 に示すように、書込データビット数および読出データビット数をモードレジスタ 7 8 に格納されたデータに従って変更することにより、プロセサなどのデータ処理時において、読出が連続して行なわれる場合には、読出データビットの数を多くし、また書込が多く行なわれる処理モード時には、書込データビットの幅を広くする。ただし、この場合においては、内部データバス 1 3 のビット幅 P は、データバス 3 および 4 のビット幅の合計 ($M + N$) よりも広いという条件が要求される。また、全ピン端子数 $M + N$ は一定である。

【 0 0 8 3 】

ビット幅変換回路 7 2 および 7 6 のビット幅および入力バッファ回路 7 0 および出力バッファ回路 7 4 のビット幅をプログラム可能とすることにより、処理内容に応じて、最適なデータビット数を設定することができ、効率的なデータ転送を実現することができる。

【 0 0 8 4 】

図 1 5 は、図 1 4 に示す入力バッファ回路 7 0 およびビット幅変換回路 7 2 の構成を概略的に示す図である。図 1 5 において、入力バッファ回路 7 0 は、ピン端子群 P G A および P G B に結合される入力回路 7 0 a と、入力ビット幅設定信号 I B S に従ってこの入力回路 7 0 a のビット幅を設定する入力幅設定回路 7 0 b を含む。入力回路 7 0 a は、M ビット幅の端子群 P G A に結合されるトライステートバッファ回路 7 9 a - 7 9 m と、N ビット幅の端子群 P G B に結合されるトライステートバッファ回路 7 9 n - 7 9 s を含む。これらのトライステートバッファ回路 7 9 a - 7 9 s の各々は、入力幅設定回路 7 0 b からのイネーブル信号 E N a - E N s に従って選択的に活性化される。入力幅設定回路 7 0 b は、入力ビット幅設定信号 I B S をデコードして、イネーブル信号 E N a - E N s を選択的に活性化する。

【 0 0 8 5 】

ビット幅変換回路 7 2 は、入力回路 7 0 a からの (M+N) ビットのバス線を P ビットの内部信号線群 7 2 e に結合するバス線選択回路 7 2 a と、このバス線選択回路 7 2 a の P ビットの出力信号を転送する転送回路 7 2 c と、転送回路 7 2 c から転送されたデータビットをラッチしかつ P ビットの内部データバス 1 3 に並列に転送する書込ラッチ回路 7 2 d と、バス線選択回路 7 2 a、転送回路 7 2 c および書込ラッチ回路 7 2 d の動作を制御する書込転送制御回路 7 2 b を含む。

【 0 0 8 6 】

バス線選択回路 7 2 a は、その構成は後詳細に説明するが、スイッチマトリックスで構成され、書込転送制御回路 7 2 b からのデータビット幅設定信号に従って、選択的に、(M+N) ビットのトライステートバッファを選択的に P ビットの信号線群 7 2 e に結合する。

【 0 0 8 7 】

転送回路 7 2 c は、P ビットの内部信号線群 7 2 e の信号線それぞれに対応して設けられるトランスファークラップ 8 1 a - 8 1 p を含む。これらのトランスファークラップ 8 1 a - 8 1 p は、それぞれ個別に書込転送制御回路 7 2 b によりその導通／非導通が制御される。

【 0 0 8 8 】

書込ラッチ回路 7 2 d も、このトランスファークラップ 8 1 a - 8 1 p それぞれに対応して設けられるラッチ回路 8 2 a - 8 2 p を含む。これらのラッチ回路 8 2 a - 8 2 p は、与えられたデータをラッチし、かつ書込転送制御回路 7 2 b からの書込活性化信号 ϕ WR に従ってラッチデータを並列に内部データバス 1 3 に転送する。

【 0 0 8 9 】

転送回路 7 2 c において、その入力データビット幅単位でトランスファークラップを活性化することにより、書込ラッチ回路 7 2 b に、必要なデータをラッチさせることができる。すなわち、書込転送制御回路 7 2 b は、この入力データビット幅設定信号 I B S に従って、転送クロック信号 TC a - TC p を、入力データビット幅単位で順次活性化する。

【 0 0 9 0 】

図 1 6 は、図 1 5 に示すバス線選択回路 7 2 a の構成の一例を示す図である。図 1 6 においては、この端子群 P G A および P G B の合計ビットが 8 ビットであり、内部データバス 1 3 のビット幅 P が 1 6 ビットの場合の構成を一例として示す。

【 0 0 9 1 】

図 1 6 において、バス線選択回路 7 2 a は、内部信号線群 7 2 e に結合される信号線 L 1 - L 1 6 と、これらの信号線 L 1 - L 1 6 に対応して設けられるスイッチング素子 SW を含むスイッチング回路 SW G 1 - SW G 8 を含む。

【 0 0 9 2 】

スイッチング回路 SW G 1 は、選択信号 ϕ 1 に応答して信号線 L 1 を、信号線 L 2 - L 1 6 に結合するスイッチング素子 SW を含む。このスイッチング素子 S

Wは、トランスファークロスタックで構成されてもよく、またトランスミッションクロスタックで構成されてもよい。スイッチング回路SWG2は、選択信号 $\phi 2$ にตอบสนองして、信号線L1を、信号線L3、L5、L7、L9、L11、L13、およびL15に接続するスイッチング素子群と、信号線L2を、信号線L4、L6、L8、L10、L12、L14、およびL16に接続するスイッチング素子群とを含む。

【0093】

スイッチング回路SWG3は、選択信号 $\phi 3$ にตอบสนองして、信号線L1を信号線L7、L3、およびL16に接続するスイッチング素子群と、選択信号 $\phi 3$ にตอบสนองして信号線L2を、信号線L14に接続するスイッチング素子群と、選択信号 $\phi 3$ にตอบสนองして信号線L3を、信号線L6、L9、L12、L15に接続するスイッチング素子群を含む。

【0094】

スイッチング回路SWG4は、選択信号 $\phi 4$ にตอบสนองして信号線L1を、信号線L5、L13に接続するスイッチング素子群と、信号線L2を、信号線L6、L10、およびL14に接続するスイッチング素子群と、信号線L3を、信号線L7、L11、およびL15に接続するスイッチング素子群と、信号線L4を、信号線L8、L12およびL16に接続するスイッチング素子群とを含む。

【0095】

以下、同様にして、入力データビット幅に応じて、スイッチング素子群が配置される。最終的に、スイッチング回路SWG8は、信号線L1-L8を、それぞれ信号線L9-L16に接続するスイッチング素子群を含む。

【0096】

データビット幅に応じて、スイッチング回路を選択的に導通状態とすることにより、バス線選択回路72aにおいて、選択信号 $\phi 1-\phi 8$ に従って入力データビット幅に応じたバス線の接続を実現することができる。

【0097】

入力バッファ回路70aにおいては、ピン端子PA1-PA4およびPB1-PB4に対して、トライステートバッファ回路V1-V8(79)が配置される。これらのトライステートバッファ回路V1-V8は、入力データビット幅に応

じて、選択的に活性化される。非活性状態のトライステートバッファは、出力ハイインピーダンス状態である。したがって、スイッチング素子 SW により信号線 L 1 - L 1 6 を選択的に接続しても、非選択状態のトライステートバッファがこのデータビット転送に悪影響を及ぼすことはない。

【 0 0 9 8 】

選択信号 $\phi 1 - \phi 8$ は、入力ビット幅設定信号 I B S をデコードして、選択的に活性化される。

【 0 0 9 9 】

図 1 7 は、図 1 5 に示す書込転送制御回路 7 2 b の構成を概略的に示す図である。図 1 7 において、書込転送制御回路 7 2 b は、入力データビット数設定信号 I B S をデコードし、選択信号 $\phi 1 - \phi 8$ を生成するデコード回路 8 0 と、選択信号 $\phi 1 - \phi 8$ に従ってクロック発生シーケンスを決定するクロックシーケンス決定回路 8 1 と、このクロックシーケンス決定回路 8 1 により決定されたクロック発生シーケンスに従って、書込動作モード指示信号 W R I T E およびクロック信号 C L K に従って転送クロック信号 T C 1 - T C 1 6 を発生しかつ書込活性化信号 $\phi W R$ を発生する転送クロック発生回路 8 2 を含む。

【 0 1 0 0 】

クロックシーケンス決定回路 8 1 は、たとえばバレルシフタで構成され、選択信号 $\phi 1 - \phi 8$ に従って、転送クロック信号 T C 1 - T C 1 6 の発生シーケンスを決定する。たとえば、バレルシフタのシフト幅を、選択信号 $\phi 1 - \phi 8$ に従って決定する。たとえば、選択信号 $\phi 1$ が活性化された場合には、通常のシフトレジスタより、転送クロック信号 T C 1 - T C 1 6 を順次活性化するようにシフト動作を行なう。一方、選択信号 $\phi 8$ が決定された場合には、バレルシフタにおいて、8 ビット単位で、シフト動作を行なうようにそのシフト幅を設定する。この場合、クロック信号 C L K に従って転送クロック発生回路 8 2 において転送クロック信号 T C 1 - T C 8 がまず活性化された後、続いて、転送クロック信号 T C 9 - T C 1 6 が活性化される。この図 1 7 に示すような書込転送制御回路 7 2 b を用い、クロックシーケンス決定回路 8 1 により、入力データビット幅が変更された場合においても、容易に転送クロック信号の発生シーケンスを決定でき、内

部信号線群 7 2 e 上の入力データビットを正確にラッチすることができる。この転送クロック発生回路 8 2 は、転送クロック信号 TC 1 - TC 1 6 がすべて活性化された後、続いて書込活性化信号 ϕ WR を活性化する。

【 0 1 0 1 】

図 1 8 は、図 1 4 に示すビット幅変換回路 7 6 および出力バッファ回路 7 4 の構成を概略的に示す図である。図 1 8 において、ビット幅変換回路 7 6 は、内部データバス 1 3 上の P ビットのデータを並列にラッチするラッチ回路 9 2 a - 9 2 p と、ラッチ回路 9 2 a - 2 p のラッチデータビットを、出力転送制御回路 7 6 b からの転送クロック信号 XC a - XC p に従って転送する転送回路 7 6 c と、転送回路 7 6 c から内部信号線群 7 6 e 上に転送されたデータビットを、出力バッファ回路 7 4 a に選択的に伝達するバス線選択回路（スイッチマトリックス）7 6 d を含む。出力転送制御回路 7 6 b は、出力ビット幅選択信号 OBS と読出動作モード指示信号 READ に従って、転送クロック信号 XC a - XC p を生成しかつバス線選択回路 7 6 d における接続経路を設定する。

【 0 1 0 2 】

出力バッファ回路 7 4 は、バス線選択回路 7 6 d からのデータビットをピン端子群 PGA および PGB に選択的に伝達する出力回路と、出力データビット数設定信号 OBS に従って、選択的にこの出力回路 7 4 a の出力ビット幅を設定する出力幅設定回路 7 4 b を含む。

【 0 1 0 3 】

出力回路 7 4 a は、ピン端子群 PGB のピン端子それぞれに対応して設けられるトライステートバッファ回路 9 4 a - 9 4 m と、ピン端子群 PGB のピン端子それぞれに対応して設けられるトライステートバッファ回路 9 4 n - 9 4 s を含む。これらのトライステートバッファ回路 9 4 a - 9 4 s が選択的に、出力幅設定回路 7 4 b からのイネーブル信号 OEN a - OEN s に従って活性化される。このイネーブル信号 OEN a - OEN s により、出力データビット幅が決定される。

【 0 1 0 4 】

バス線選択回路 7 6 d において、出力データビット幅に応じて、転送回路 7 6

cからの転送データビットを選択的に活性状態のトライステートバッファ回路へ結合する。すなわち、読出ラッチ回路76aにおいて、ラッチ回路92a-92pが、読出活性化信号 ϕRD に従って内部データビットを並列にラッチした後、転送クロック信号XC a-XC pを、出力データビット幅に応じて選択的に順次活性化して、トランスファークラック91a-91pを活性導通状態とすることにより、出力データビット幅に応じたデータ転送を読出ラッチ回路76aと出力回路74aの間で行なうことができる。

【0105】

図19は、図18に示すバス線選択回路76dの構成の一例を示す図である。この図19においても、内部データバス13が16ビット幅を有し、ピン端子群PGAおよびPGBがそれぞれ4ビットの場合の構成を一例として示す。

【0106】

図19において、バス線選択回路76dは、ピン端子PB4-PB1およびPA4-PA1に対応して設けられるトライステートバッファ回路F1-F8と、選択信号 $\phi 1-\phi 8$ に従って、内部信号線群76eを選択的にトライステートバッファ回路F1-F8に結合するスイッチング回路OSWG1-OSWG8を含む。これらのスイッチング回路OSWG1-OSWG8の構成は、先の図16に示す72aに含まれるスイッチング回路SWG1-SWG8の構成と対応する。選択信号OF1-OF8により、スイッチング回路OSWG1-OSWG8のスイッチング素子SWを選択的に導通状態とし、活性状態にされたトライステートバッファ回路F1-F8へ結合する。

【0107】

ピン端子群PGBの端子PB4-PB1は順次信号線LL1-LL4に結合し、またピン端子群PBAのピン端子PA4-PA1を信号線LL5-LL8に結合する。これは、書込データおよび読出データを並列に転送し、1つのピン端子は、書込データを受けるかまたは読出データを出力するピン端子となる、この書込データビットは、ピン端子PA1からPA4およびPB1からPB4に向かってそのビット幅が増大されるのに併せて、この読出データビット幅の設定を、ピン端子PB4からPB1およびPA4からPA1に向かって増大させる。これに

より、データビットの競合を防止する。

【0108】

選択信号 OF 1 - OF 8 の発生シーケンスは、書込データビットに対する選択信号のそれと同じである。これは、図 1 7 に示す構成と同様の構成で実現される。読出活性化信号 ϕ RD が活性化された後、選択信号 ϕ 1 - ϕ 8 に従って転送クロック信号 XC a - XC p を所定のシーケンスで活性化する。

【0109】

図 2 0 は、この発明の実施の形態 2 に従うメモリコントローラ 1 の構成を概略的に示す図である。図 2 0 において、メモリコントローラ 1 は、メモリ IC へのアクセスに必要な動作を行なう内部回路 1 0 0 と、内部回路 1 0 0 からのパッケージのビット幅を変換するビット幅変換回路 1 0 1 と、ビット幅変換回路 1 0 1 からの信号／データビットをバス 3 および／または 4 に伝達する出力回路 1 0 2 と、バス 3 および／または 4 からのデータビットを受ける入力回路 1 0 3 と、入力回路 1 0 3 からのデータビットのビット幅を変換して内部回路 1 0 0 へ与えるビット幅変換回路 1 0 4 と、出力回路 1 0 2 および入力回路 1 0 3 のビット幅を設定するビット幅設定回路 1 0 5 を含む。

【0110】

ビット幅変換回路 1 0 1 は、このメモリ IC におけるデータ書込時のビット幅変換を行なうビット幅変換回路 7 2 の逆の変換動作を行ない、またビット幅変換回路 1 0 4 は、メモリ IC におけるデータ出力時のビット幅を変換するビット幅変換回路 7 6 と逆のビット幅変換動作を行なう。したがって、これらのビット幅変換回路 1 0 1 および 1 0 4 は、それぞれ、図 1 9 に示すデータ読出用のビット幅変換回路 7 6 および図 1 6 に示すデータ書込時のビット幅変換回路と同様の構成を備える（ただしビット幅が異なる）。ビット幅設定回路 1 0 5 は、メモリ IC のモードレジスタに対応し、出力回路 1 0 2 および入力回路 1 0 3 に対し、イネーブル信号を与え選択的に出力バッファ回路および入力バッファ回路を活性化する。出力回路 1 0 2 および入力回路 1 0 3 は、メモリ IC の出力回路および入力回路と同様の構成を備える。

【0111】

この図 2 0 に示すメモリコントローラ 1 の構成を利用し、ビット幅変換をビット幅変換回路 1 0 1 および 1 0 4 で行なうことにより、動作モードに応じてデータビットの幅を変更することができる。たとえば、バーストモードでデータの転送が行なわれる場合、転送されるデータのビット幅を最大値に設定し、効率的にデータ転送を行なう。

【 0 1 1 2 】

なお、この実施の形態 2 も、制御信号およびアドレス信号と書込データとが別々のバスを介して伝達される構成であっても同様に適用することができる。

【 0 1 1 3 】

また、メモリシステムに用いられるメモリ IC としては、クロック信号 CLK に同期して動作するメモリでなくてもよい。書込データと読出データとが別々のバス線を介して転送される構成であれば本発明は適用可能である。

【 0 1 1 4 】

また、このデータビット幅の変更は、1 ビット単位で行なわれている。しかしながら、たとえば 3 2 ビットデータを転送する構成において、たとえば 4 ビット単位でデータビット幅を変更する構成が用いられてもよい。この場合、図 1 6 および図 1 9 に示す各信号線を、4 ビットの信号線と考えれば、このような複数ビット単位でのデータビット幅変更の構成に対応することができる。

【 0 1 1 5 】

【発明の効果】

以上のように、この発明に従えば、書込データビットおよび読出データビットを互いに異ならすように構成しており、使用環境に応じて、効率的にデータ転送を行なうことができ、バス使用効率が改善されたメモリシステムを構築することができる。

【 0 1 1 6 】

データビット数変更をプログラマブルにしており、動作モードに応じて、効率的なデータ転送を実現することができる。

【 0 1 1 7 】

また、書込データバスおよび読出データバスを、それぞれ単方向バスで構成す

ることにより、書込データおよび読出データの同時転送が可能となり、効率的なデータ転送が実現される。

【0 1 1 8】

また、書込時のデータビットのビット幅変換および読出時のデータビット幅変換を設けておくことにより、内部データバス幅が一定の場合においても、入出力部のインターフェイス部においてビット幅変換を行なうことができ、内部構成を複雑化することなく容易にデータビット幅の変換を行なうことができる。

【0 1 1 9】

また、このインターフェイス回路において書込／読出用の回路を同時に活性化することにより、書込データおよび読出データの同時転送を容易に実現することができる。

【0 1 2 0】

また、書込変換回路として、直／並変換回路で構成し、読出変換回路として、並／直変換回路で実現することにより、内部データバスのバス幅が、転送データビット幅よりも大きい場合においても、容易にビット幅変換を行なって効率的にデータ転送を容易に行なうことができる。

【0 1 2 1】

また、直／並変換回路および並／直変換回路のデータビット幅を変更可能とすることにより、動作モードに応じて、最適なデータビット幅でデータ転送を行なうことができる。

【0 1 2 2】

また、書込および読出のビット幅変換回路のビット幅変換を変更可能とすることにより、容易に、内部データバスのバス幅が一定の場合においても、外部で転送されるデータビット幅を容易に変更することができる。

【0 1 2 3】

また、これらのインターフェイス部の書込および読出変換回路を同時に動作させることにより、書込データおよび読出データを同時に転送でき、効率的なデータ転送およびバス使用効率を改善することができる。

【0 1 2 4】

また、メモリシステムにおいて、単方向バスを介してビット幅の異なる書込データおよび読出データを転送することにより、効率的なデータ転送を行なうことができる。

【0125】

また、このメモリの書込データおよび読出データのビット幅を変更可能とすることにより、動作モードに応じて、最適なビット幅でデータ転送を行なうことができ、バス使用効率が改善される。

【0126】

また、メモリコントローラにおいても、これらの書込データおよび読出データのビット幅を変更することにより、このメモリコントローラ内部においては、従来と同様に、プロセサなどの装置のバス幅に応じて効率的に高速でデータ転送を行なうことができる。

【0127】

また、このメモリコントローラにおいて書込データおよび読出データを同時に転送することにより、効率的なデータ転送を行なうことができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に従うメモリシステムの構成を概略的に示す図である。

【図2】 この発明の実施の形態1におけるデータおよび信号の転送シーケンスの一例を示す図である。

【図3】 この発明の実施の形態1に従う制御信号、書込データおよび読出データの転送シーケンスの一例を示す図である。

【図4】 この発明の実施の形態1に従うメモリICの全体の構成を概略的に示す図である。

【図5】 図4に示すビット幅拡張回路の構成を概略的に示す図である。

【図6】 図5に示すビット幅拡張回路の動作を示すタイミングチャート図である。

【図7】 (A)は、図4に示すビット幅縮小回路の構成の一例を示し、(B)は図7(A)に示す回路の動作を示すタイミングチャート図である。

【図 8】 図 4 に示すメモリ I C の他の動作シーケンス例を示すタイミングチャート図である。

【図 9】 この発明の実施の形態 1 に従うメモリ I C の構成の一例を示す図である。

【図 1 0】 図 9 に示すビット幅縮小回路の構成の一例を示す図である。

【図 1 1】 図 9 に示すビット幅拡張回路の構成の一例を示す図である。

【図 1 2】 この発明の実施の形態 1 に従うメモリシステムの変更例を概略的に示す図である。

【図 1 3】 図 1 2 に示すメモリシステムのデータ転送動作シーケンスを示すタイミングチャート図である。

【図 1 4】 この発明の実施の形態 2 に従うメモリ I C の要部の構成を概略的に示す図である。

【図 1 5】 図 1 4 に示す入力バッファ回路およびビット幅変換回路の構成を概略的に示す図である。

【図 1 6】 図 1 5 に示すバス線選択回路の構成の一例を示す図である。

【図 1 7】 図 1 5 に示す書込転送制御回路の構成を概略的に示す図である。

【図 1 8】 図 1 4 に示すビット幅変換回路および出力バッファ回路の構成を概略的に示す図である。

【図 1 9】 図 1 8 に示すバス線選択回路の構成の一例を示す図である。

【図 2 0】 この発明の実施の形態 2 に従うメモリコントローラの構成を概略的に示す図である。

【図 2 1】 従来のメモリシステムの構成を概略的に示す図である。

【図 2 2】 従来のメモリシステムの動作を示すタイミングチャート図である。

【図 2 3】 従来のメモリシステムの他のデータ転送シーケンスの一例を示す図である。

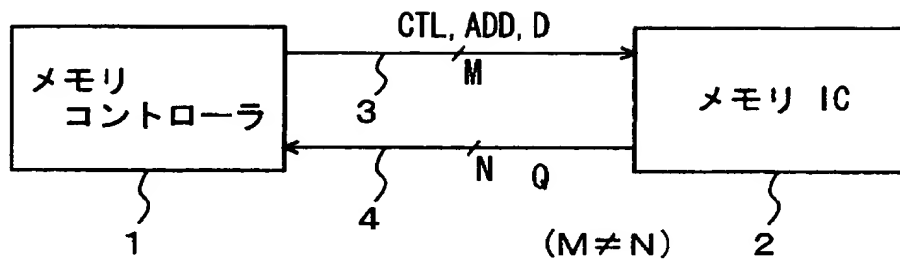
【符号の説明】

1 メモリコントローラ、 2 メモリ I C、 3 第 1 のバス、 4 第 2 のバス

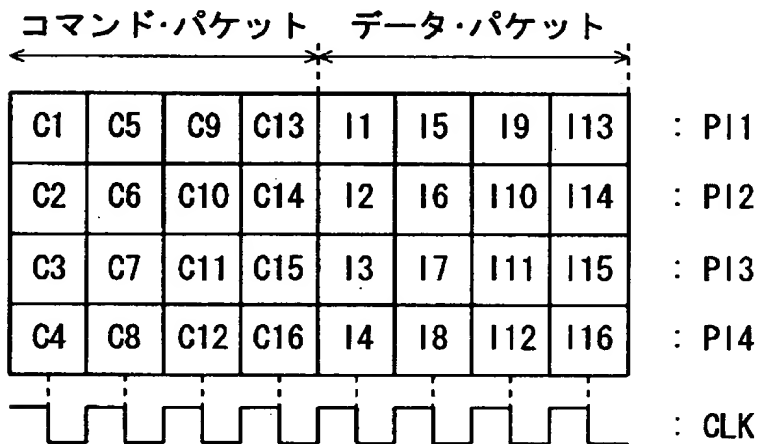
、 5 メモリセルアレイ、 6 行系回路、 7 列系回路、 1 0 入力バッファ、
 1 2 ビット幅拡張回路、 1 3 内部データバス、 1 5 ビット幅縮小回路、 1
 6 出力バッファ、 2 0 a - 2 0 e トランスファークロスタック、 2 1 a - 2 1 d
 ラッチ回路、 2 2 書込転送制御回路、 3 0 a - 3 0 f トランスファークロスタック、
 3 1 a - 3 1 f ラッチ回路、 3 2 読出転送制御回路、 4 2 ビット幅縮小
 回路、 4 3 出力回路、 4 4 入力回路、 4 5 ビット幅拡張回路、 5 0 a - 5
 0 d ラッチ回路、 5 1 a - 5 1 d トランスファークロスタック、 5 2 出力転送制
 御回路、 5 5 a - 5 5 f トランスファークロスタック、 5 6 a - 5 6 f ラッチ回路
 、 5 7 読込転送制御回路、 3 a 制御／アドレスバス、 3 b 書込データバス
 、 7 0 入力バッファ回路、 7 2 ビット幅変換回路、 7 4 出力バッファ回路
 、 7 6 ビット幅変換回路、 7 8 モードレジスタ、 7 0 a 入力回路、 7 2 a
 バス線選択回路、 7 2 c 転送回路、 7 2 d 書込ラッチ回路、 7 2 b 書込
 転送制御回路、 9 4 a - 9 4 s トライステートバッファ回路、 7 6 a 読出ラ
 ッチ回路、 7 6 b 出力転送制御回路、 7 6 c 転送回路、 7 6 d バス線選択
 回路、 1 0 1, 1 0 4 ビット幅変換回路、 1 0 2 出力回路、 1 0 3 入力回
 路。

【書類名】 図面

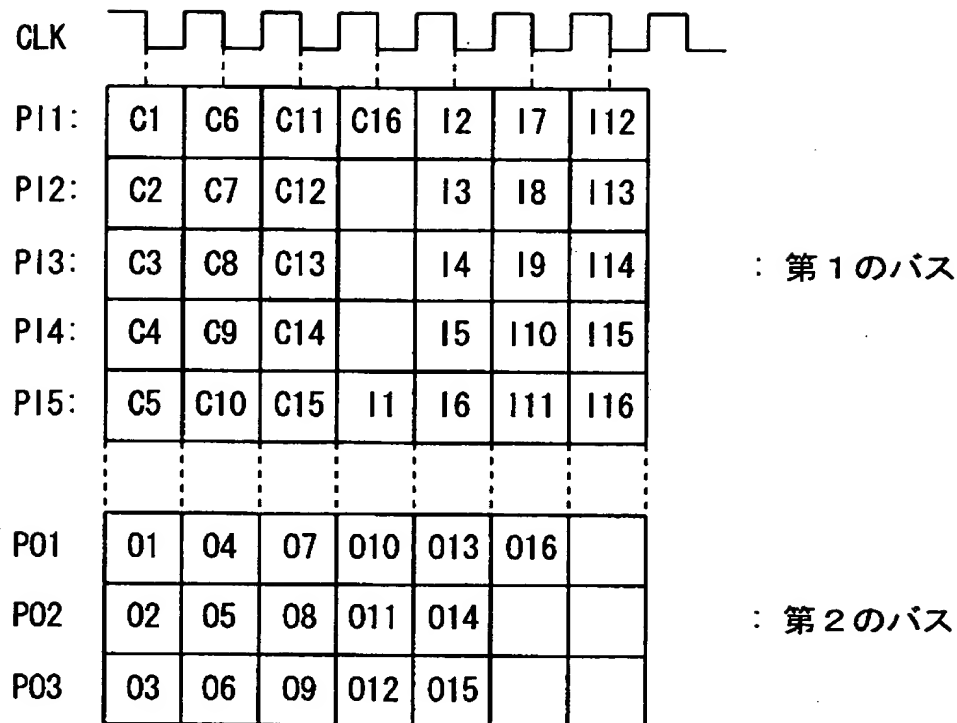
【図 1】



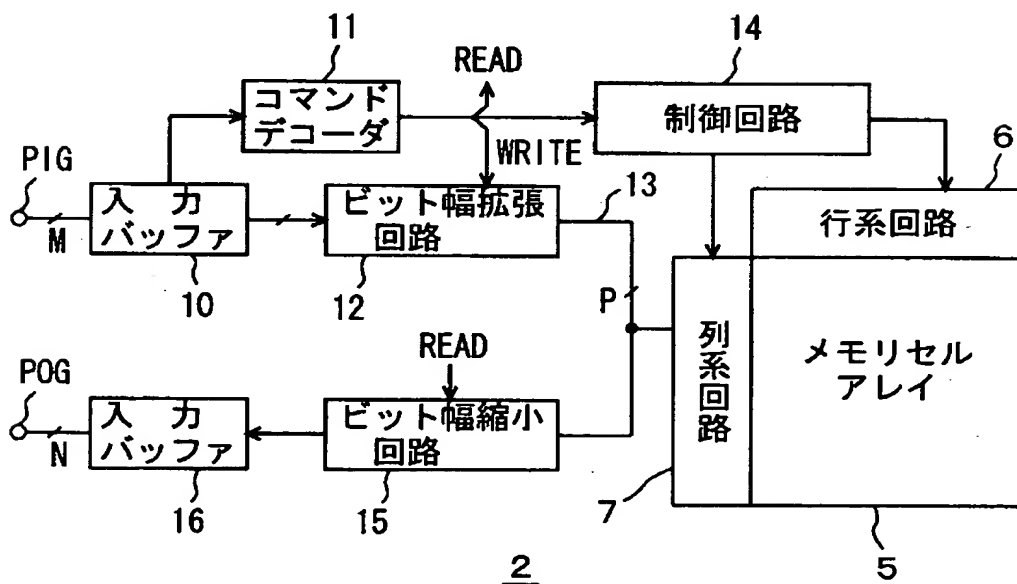
【図 2】



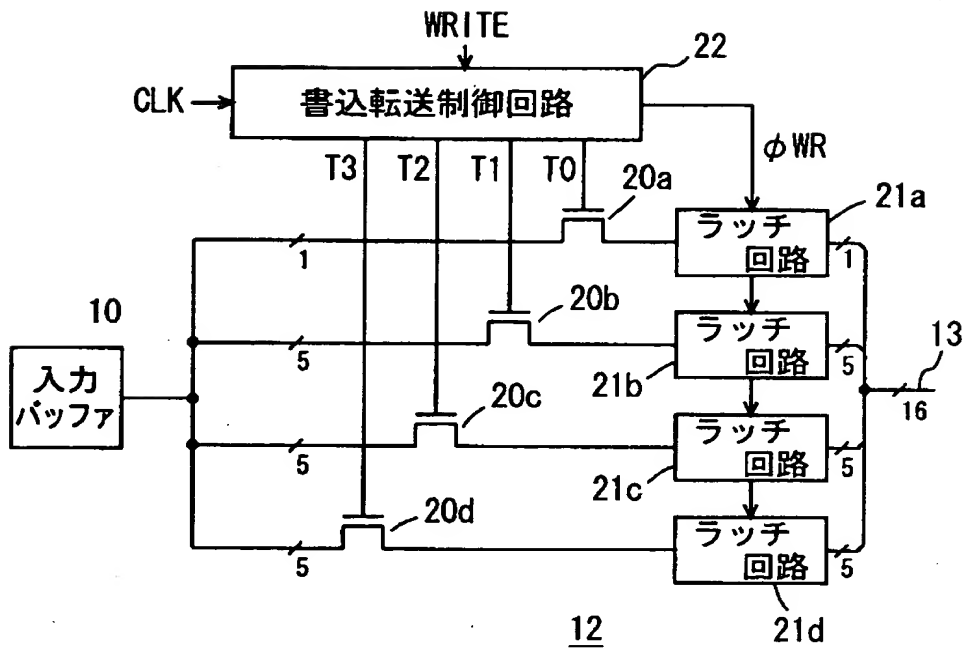
【図 3】



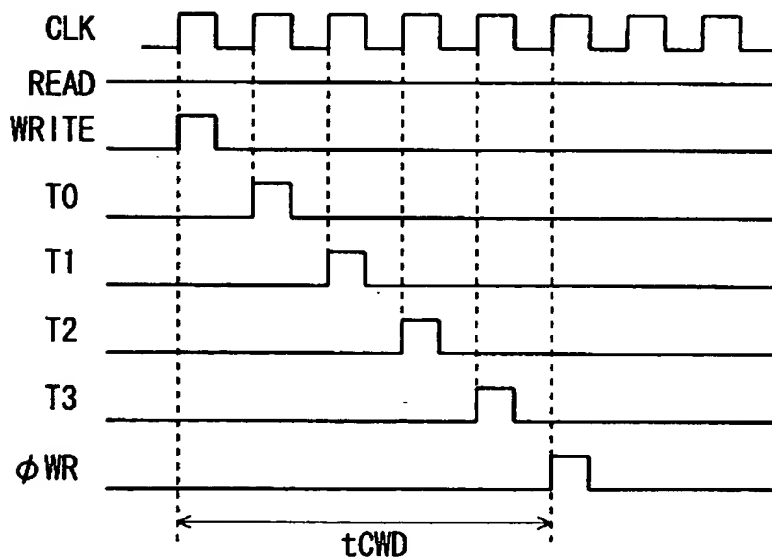
【図 4】



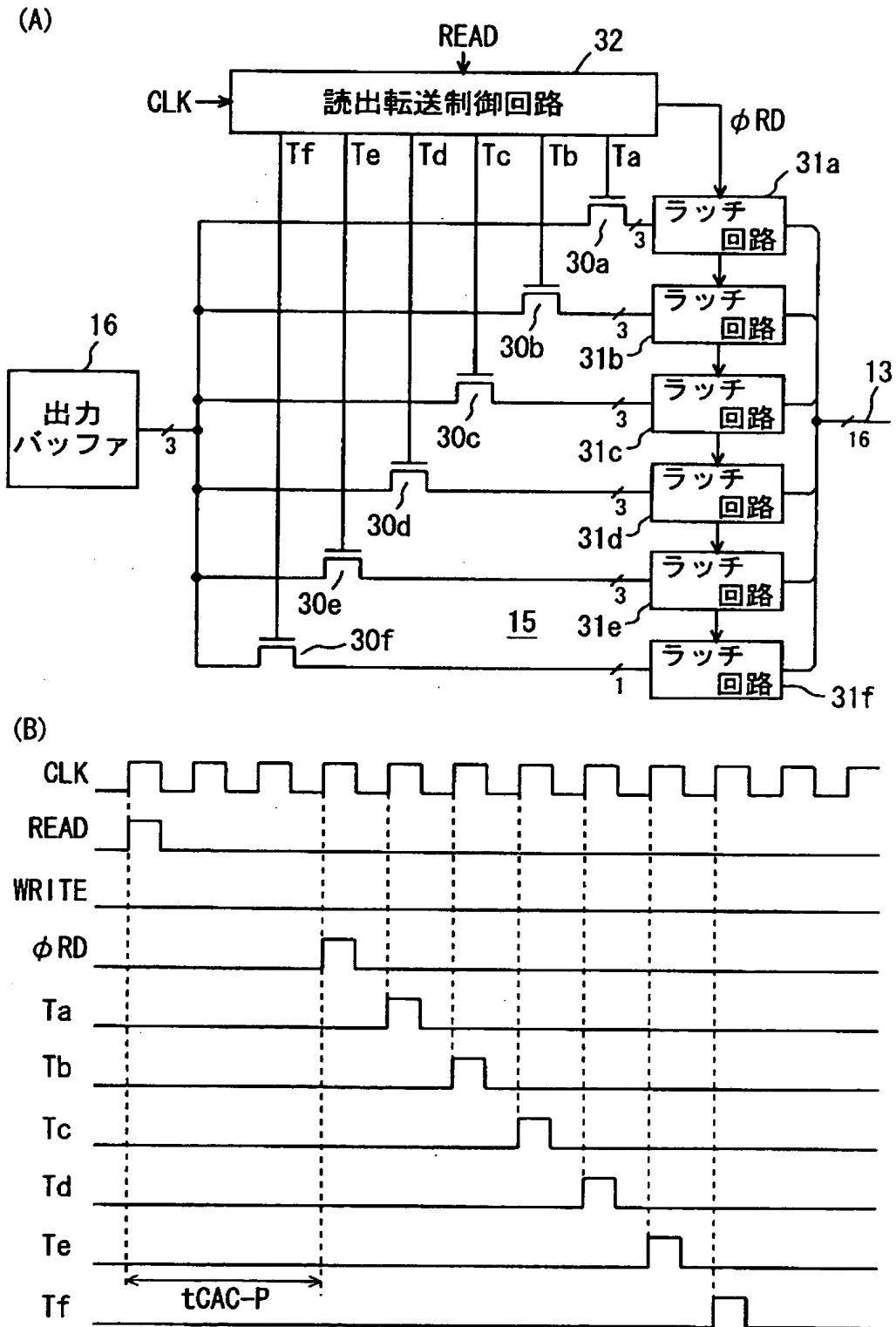
【図 5】



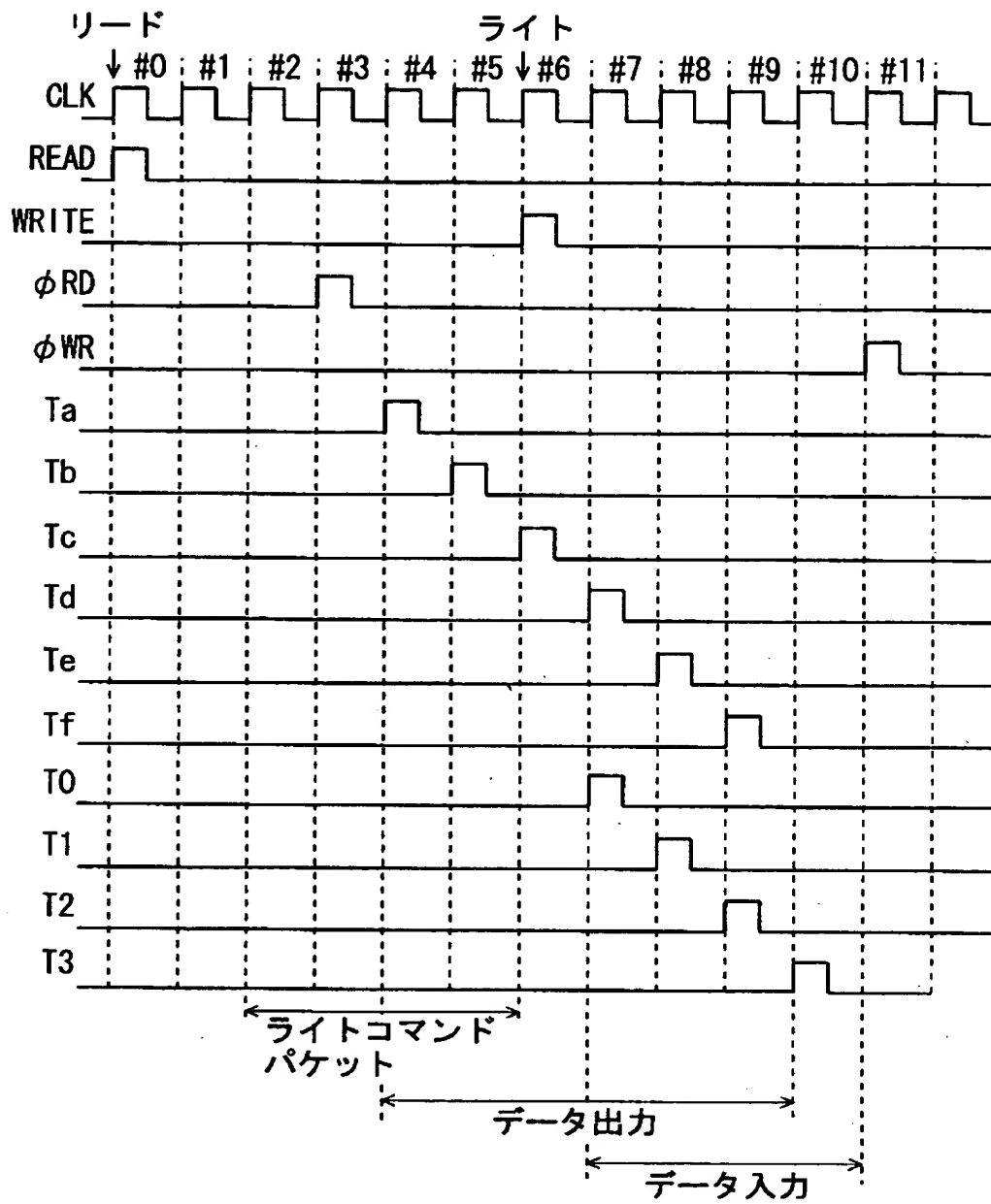
【図 6】



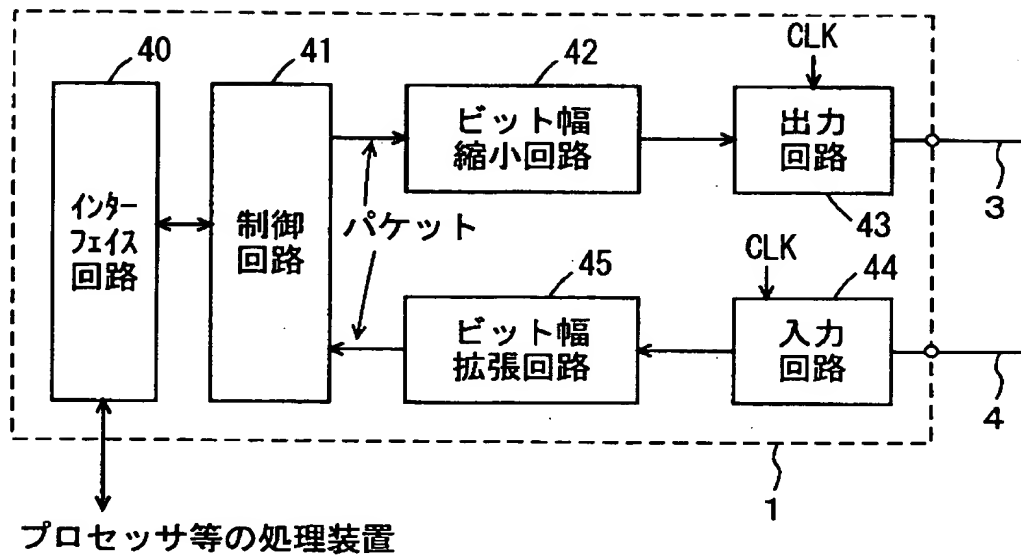
【図 7】



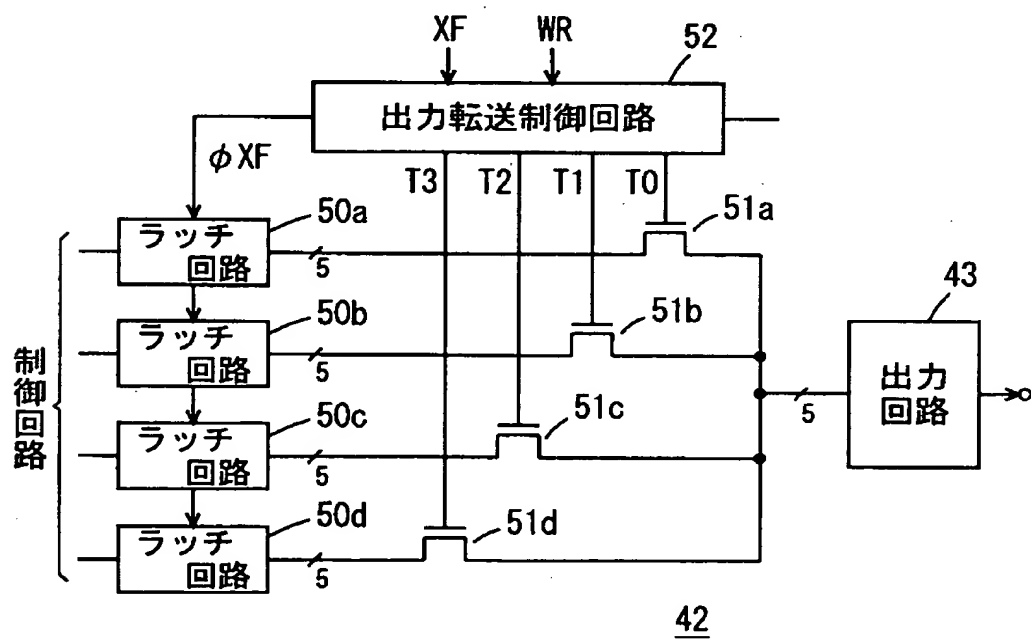
【図 8】



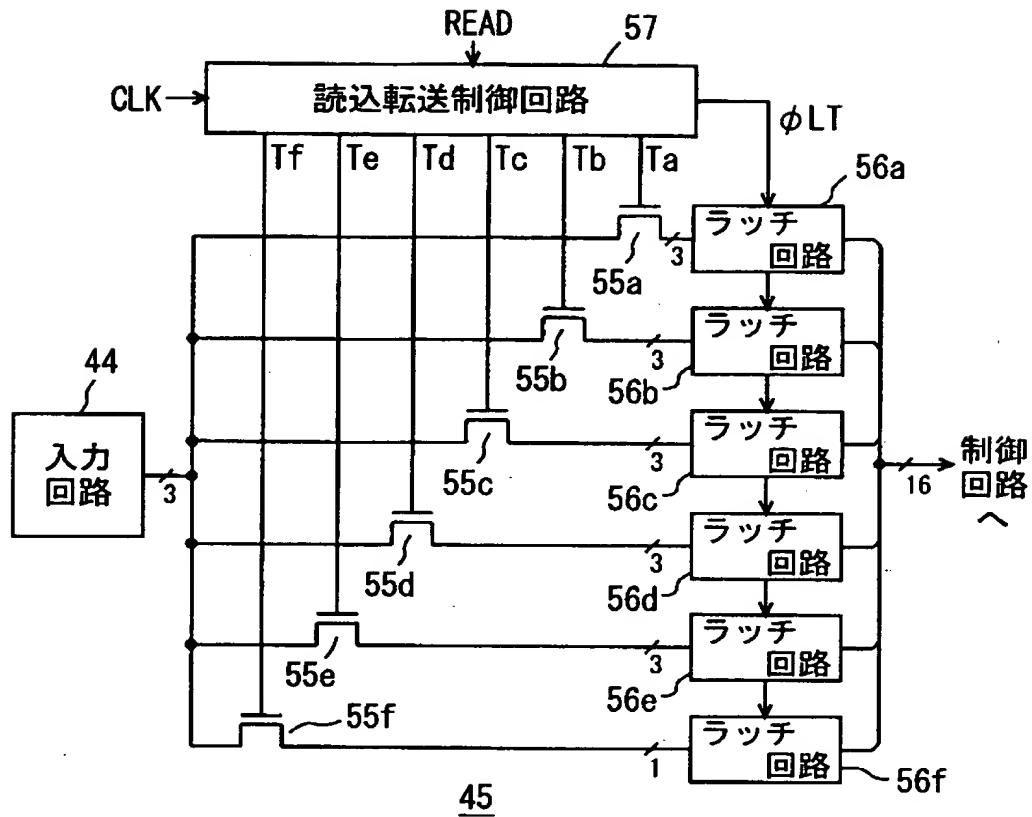
【図 9】



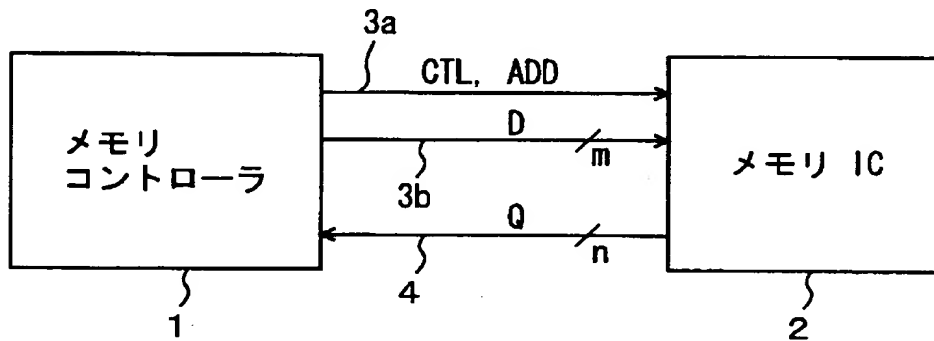
【図 1 0】



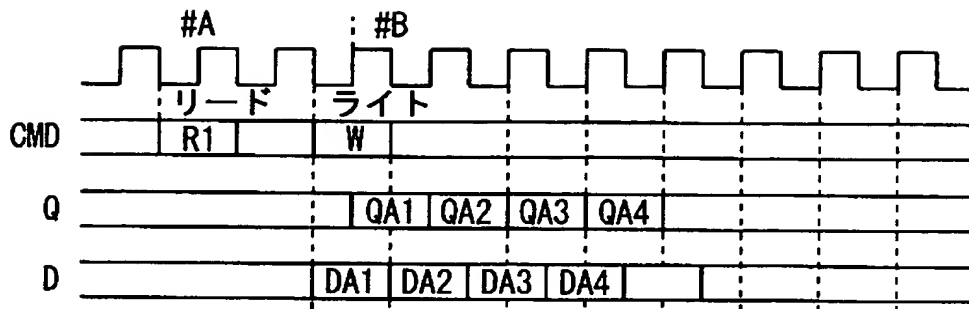
【図 1 1】



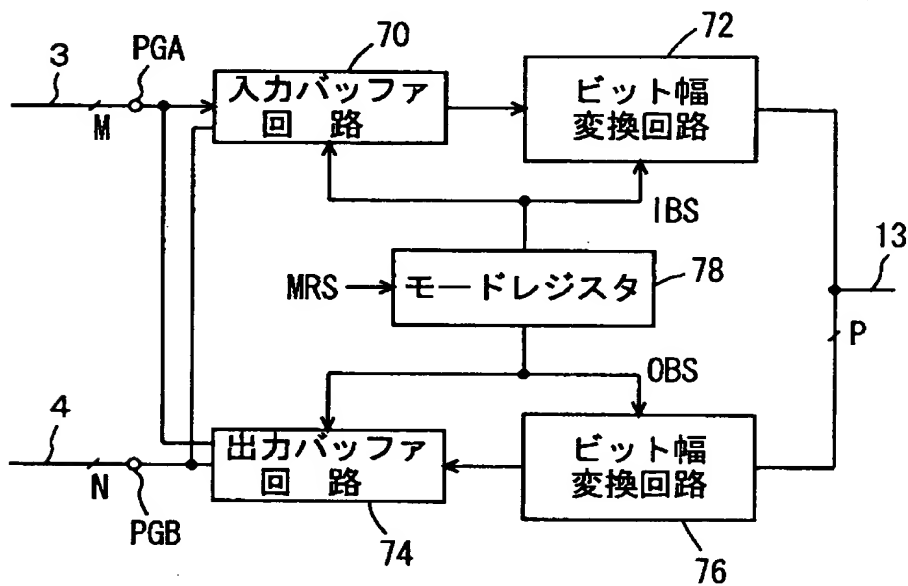
【図 1 2】



【図 1 3】

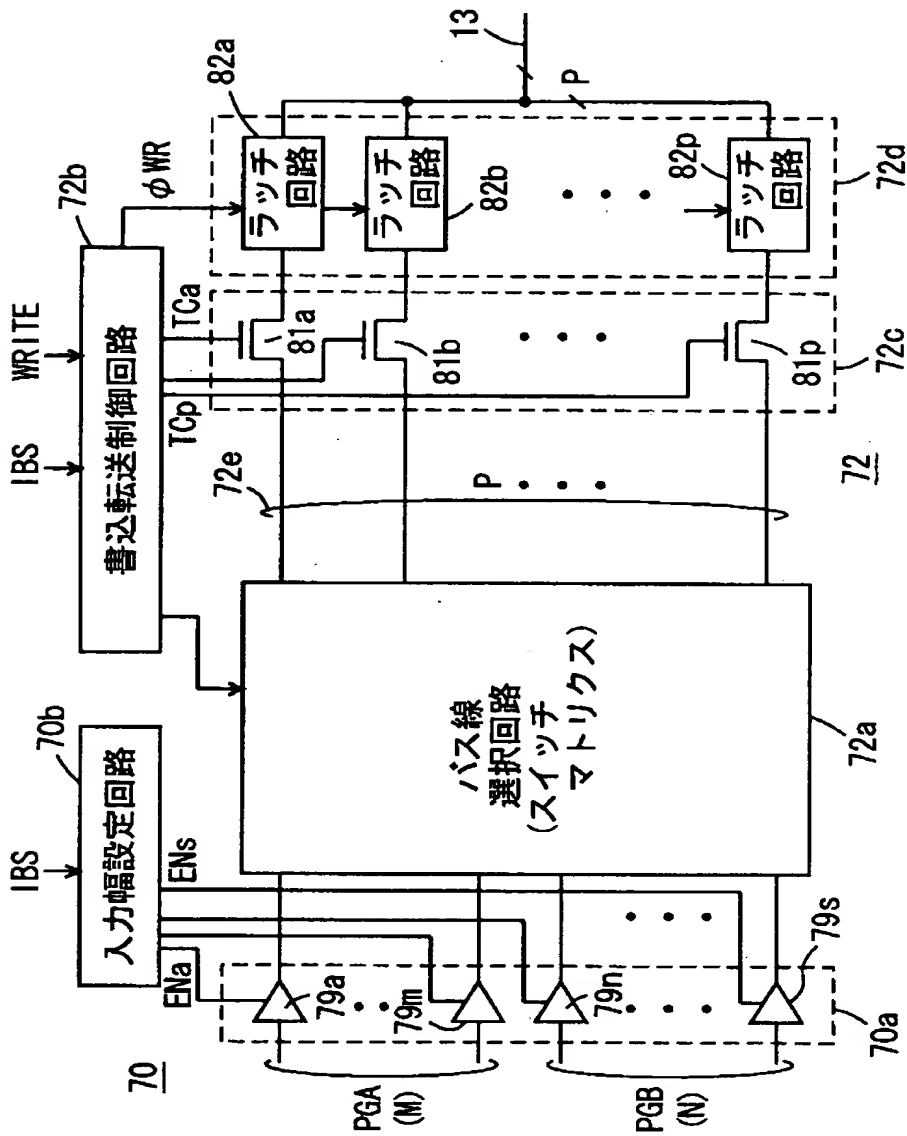


【図 1 4】

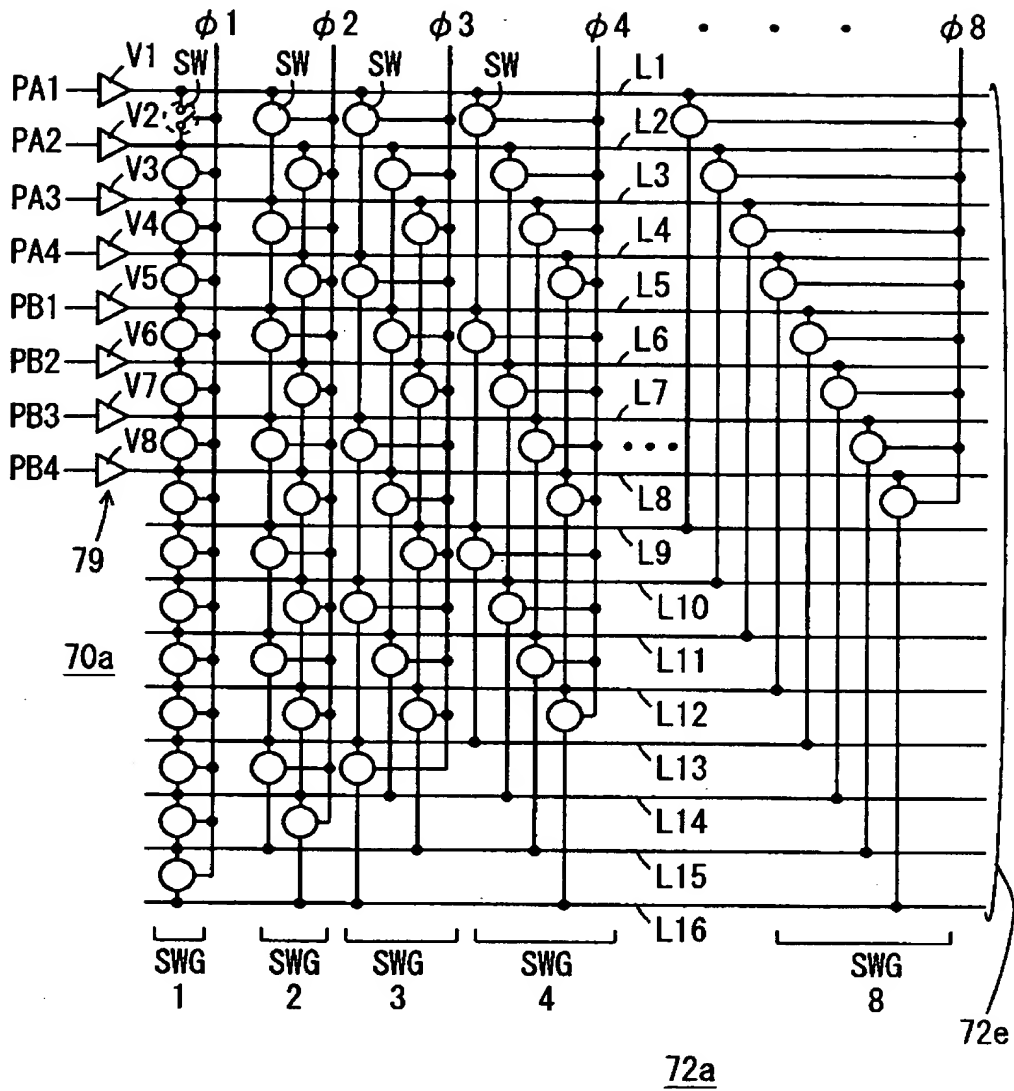


2

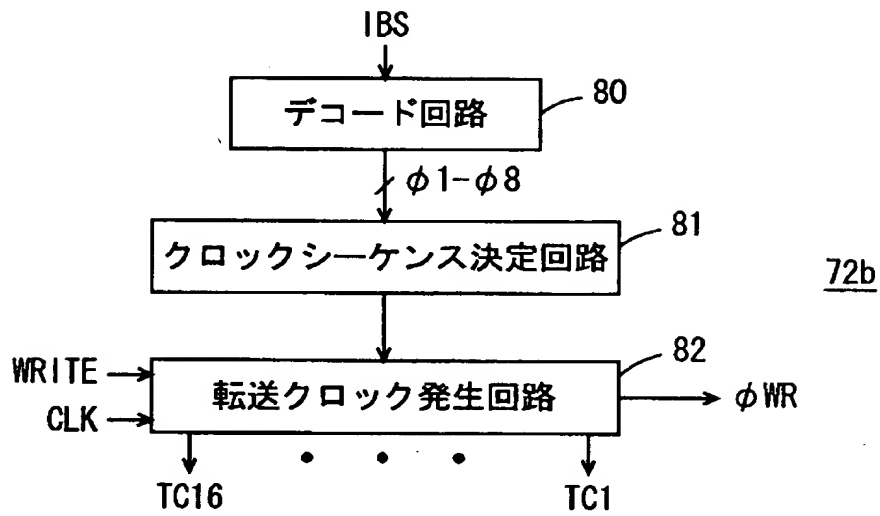
【図15】



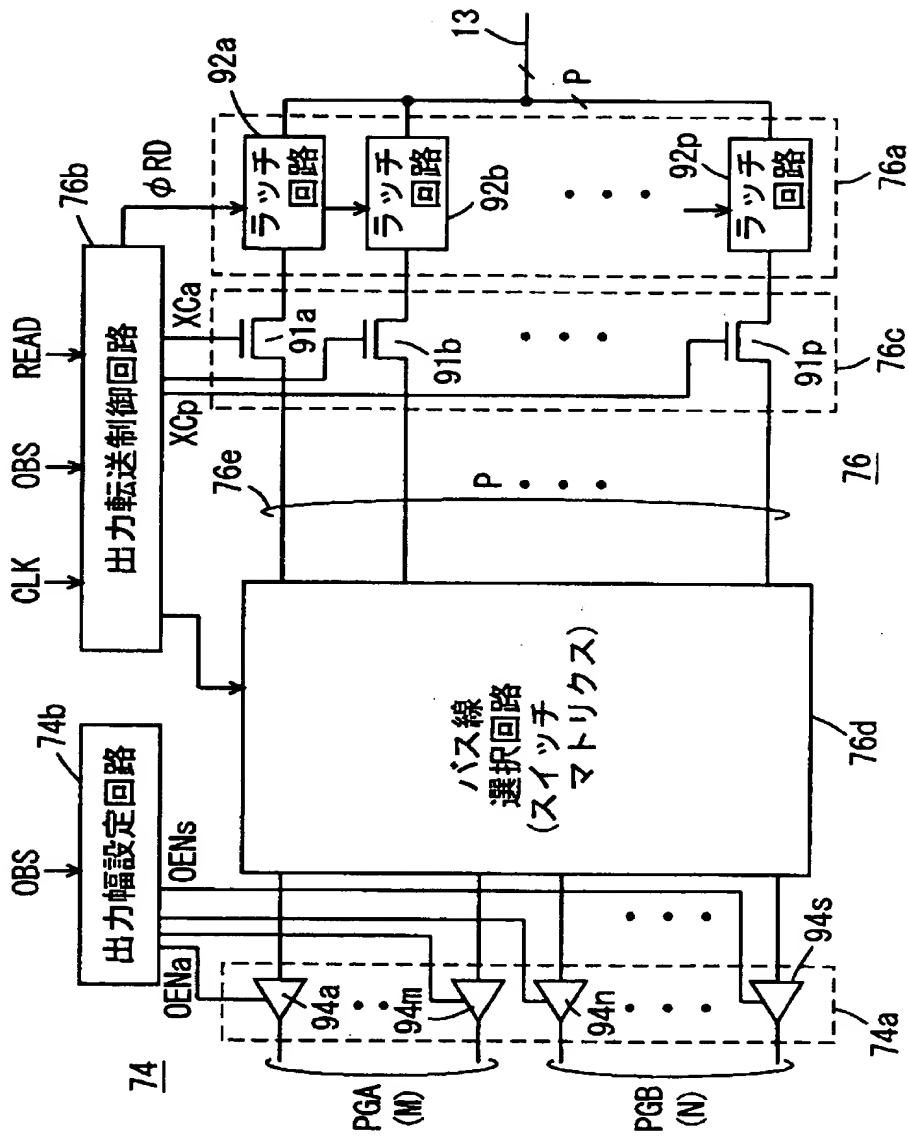
【図 1 6】



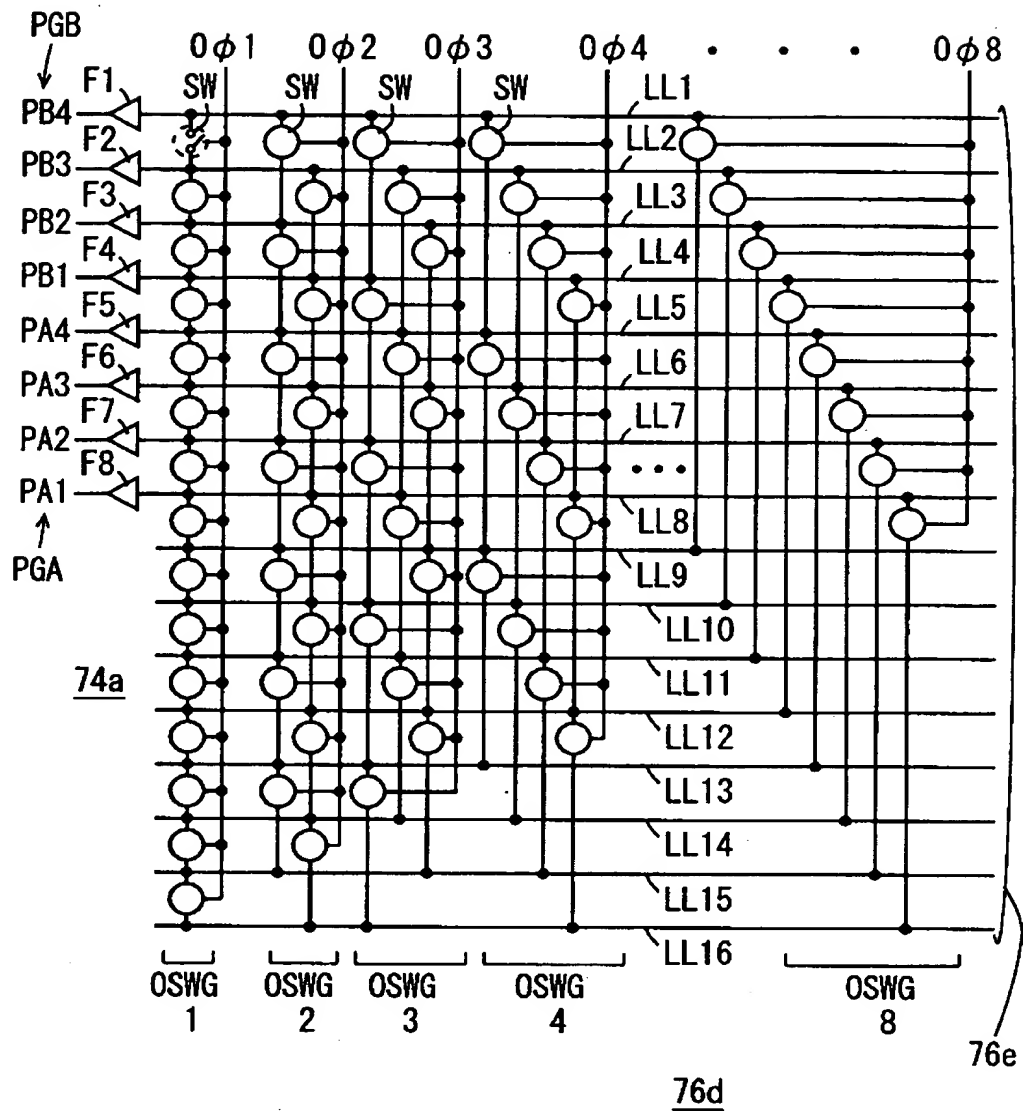
【図 1 7】



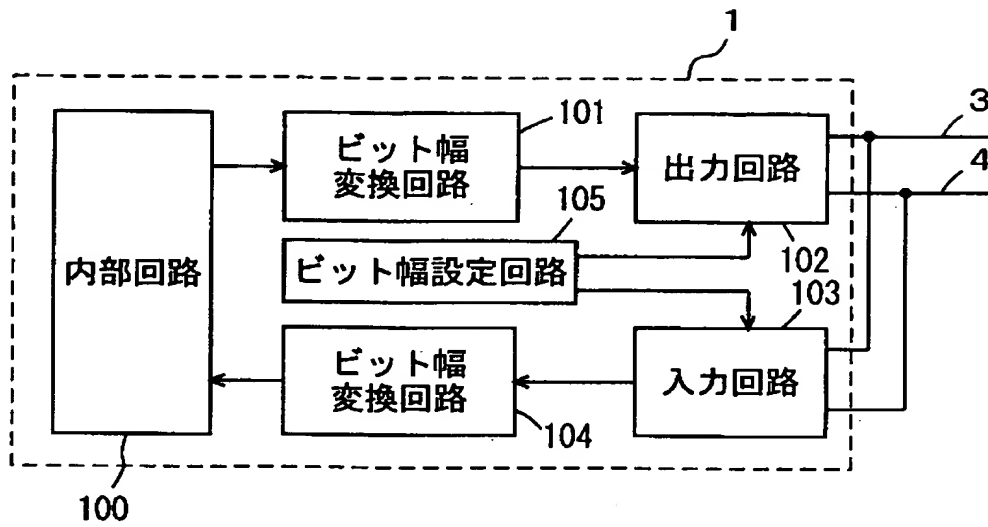
【图 18】



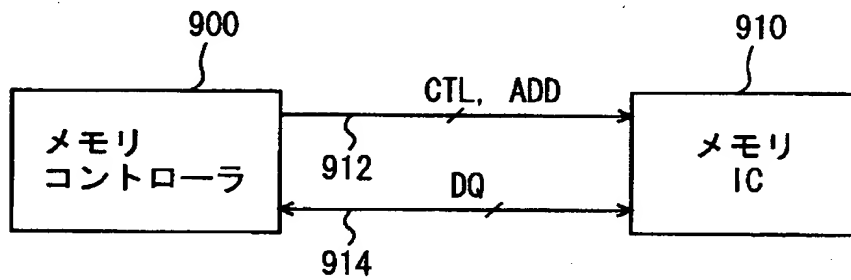
【図 1 9】



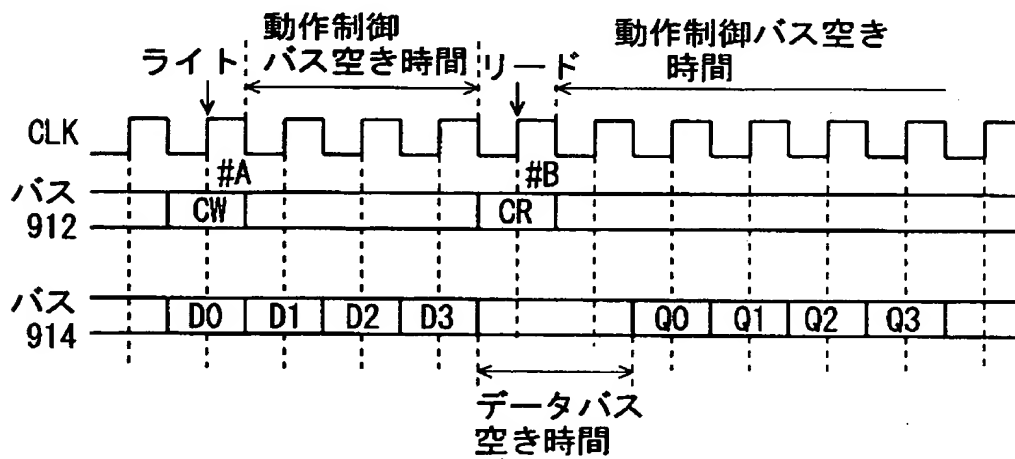
【図 2 0】



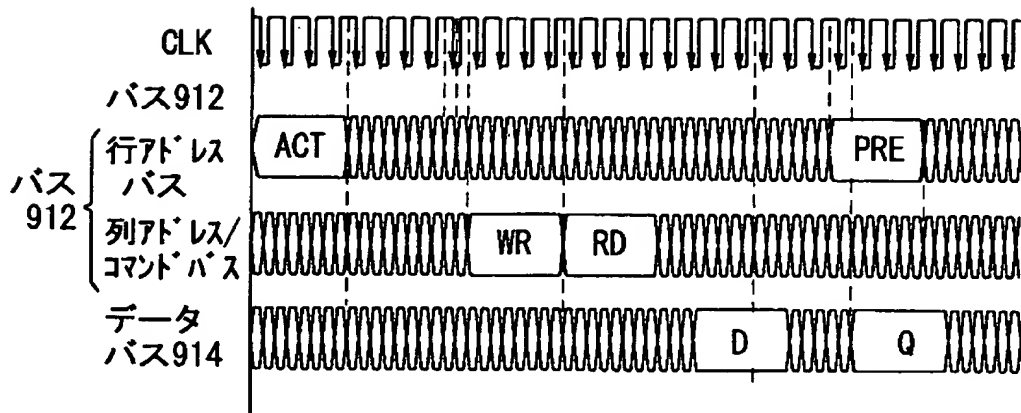
【図 2 1】



【図 2 2】



【図 2 3】



【書類名】 要約書

【要約】

【課題】 バスの使用効率を改善しかつデータ転送効率を改善する。

【解決手段】 書込データを転送するバス（３）と読出データを転送するバス（４）を別々に設け、かつこれらのバス幅を互いに異ならせる（ $M \neq N$ ）。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.